

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2019/038961

発行日 令和2年7月27日 (2020.7.27)

(43) 国際公開日 平成31年2月28日 (2019.2.28)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 33/20 (2010.01)	H O 1 L 33/20	5 C O 9 4
H O 1 L 33/32 (2010.01)	H O 1 L 33/32	5 F 2 4 1
G O 9 F 9/33 (2006.01)	G O 9 F 9/33	

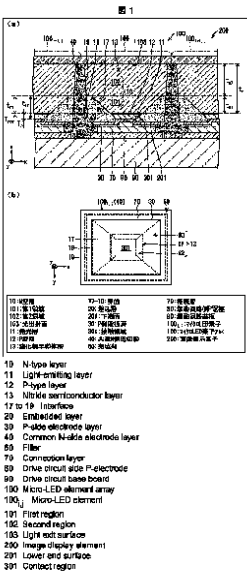
審査請求 有 予備審査請求 有 (全 48 頁)

出願番号 特願2019-537560 (P2019-537560)	(71) 出願人 000005049
(21) 国際出願番号 PCT/JP2018/008583	シャープ株式会社
(22) 国際出願日 平成30年3月6日 (2018.3.6)	大阪府堺市堺区匠町 1 番地
(31) 優先権主張番号 特願2017-162485 (P2017-162485)	(74) 代理人 100147304
(32) 優先日 平成29年8月25日 (2017.8.25)	弁理士 井上 知哉
(33) 優先権主張国・地域又は機関 日本国 (JP)	(72) 発明者 井口 勝次
	大阪府堺市堺区匠町 1 番地 シャープ株式 会社内
	F ターム (参考) 5C094 AA05 AA10 AA44 BA03 BA24 CA19 FA03 FB02 FB14 GB10 JA09 5F241 AA03 AA47 CA04 CA05 CA40 CA65 CA74 CA88 CB15 CB36 FF06
	最終頁に続く

(54) 【発明の名称】 マイクロLED素子、画像表示素子、及び製造方法

(57) 【要約】

マイクロLED素子 (100_{i,j}) は、N型層 (10) を含む窒化物半導体層 (13) を備えており、第1界面 (界面17) と発光層 (11) とのなす角度 (θ_1) は、所定の第1の角度 (例えば45度) であり、第2界面 (界面19) と、発光層 (11) とのなす角度 (θ_2) は、第1の角度 (例えば $\theta_1 = 45$ 度) より大きい。



【特許請求の範囲】**【請求項 1】**

光出射面の側から見て N 型層、発光層、及び P 型層がこの順番で積層された窒化物半導体層と、前記 P 型層側に形成された P 側電極層と、を備えたマイクロ LED 素子であって、

前記 N 型層は、前記発光層に接する第 1 領域と、前記光出射面を含む第 2 領域とを含み、

前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第 1 の角度であり、

前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度は、前記第 1 の角度より大きい所定の第 2 の角度である、ことを特徴とするマイクロ LED 素子。

【請求項 2】

前記第 1 の角度は、45 度を中心とする所定の範囲に含まれる角度である、ことを特徴とする請求項 1 に記載のマイクロ LED 素子。

【請求項 3】

前記第 1 の角度は、35 度以上 55 度以下の範囲に含まれる角度である、ことを特徴とする請求項 1 に記載のマイクロ LED 素子。

【請求項 4】

前記第 1 領域の厚さは、前記 P 型層の厚さよりも厚い、ことを特徴とする請求項 1 ~ 3 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 5】

前記第 1 界面は、前記第 1 領域の側方に加えて、前記発光層の側方及び前記 P 型層の側方を取り囲む、ことを特徴とする請求項 1 ~ 4 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 6】

前記 P 側電極層の側から平面視した場合に、当該 P 側電極層は、前記発光層の全体を覆う領域に形成されている、ことを特徴とする請求項 1 ~ 5 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 7】

前記 P 側電極層の前記 P 型層と逆側の表面は、平坦である、ことを特徴とする請求項 6 に記載のマイクロ LED 素子。

【請求項 8】

前記第 1 領域の外側と、前記 P 側電極層との間には、前記第 1 界面を取り囲む埋込層が形成されており、

前記 P 側電極層と前記埋込層との界面は、前記発光層と平行である、ことを特徴とする請求項 7 に記載のマイクロ LED 素子。

【請求項 9】

N 側電極層は、前記光出射面の上に積層されている、ことを特徴とする請求項 1 ~ 8 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 10】

前記窒化物半導体層は、前記第 1 界面と前記第 2 界面とをつなぐ第 3 界面を更に有し、N 側電極層は、前記第 3 界面において前記 N 型層の前記第 2 領域に接触する、ことを特徴とする請求項 1 ~ 8 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 11】

請求項 1 ~ 10 の何れか 1 項に記載の複数のマイクロ LED 素子と、

前記複数のマイクロ LED 素子の各々に駆動電流を供給する駆動回路が形成された駆動回路基板と、を備え、

前記複数のマイクロ LED 素子は、前記駆動回路基板上に二次元アレイ状に積層されて

10

20

30

40

50

いる、

ことを特徴とする画像表示素子。

【請求項 1 2】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記第 1 の溝部に埋込層を堆積する第 2 の堆積工程と、

前記埋込層の表面を研磨する研磨工程と、

前記研磨工程において研磨された表面に P 側電極層を形成する P 側電極形成工程と、

前記埋込層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成する、

ことを特徴とする製造方法。

【請求項 1 3】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記窒化物半導体層の上に保護層を堆積する第 2 の堆積工程と、

前記第 1 領域の一部が露出するように前記保護層にコンタクトホールを形成するコンタクトホール形成工程と、

前記コンタクトホールを覆うように P 側電極層を形成する P 側電極形成工程と、

前記保護層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成する、

ことを特徴とする製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微細な LED 素子であるマイクロ LED 素子、及び、当該マイクロ LED 素子の製造方法に関する。また、本発明は、このようなマイクロ LED 素子を複数備えた画像表示素子にも関する。

【背景技術】

【0002】

平面ディスプレイ分野では、大型から中小型までディスプレイのサイズを問わずに、表

10

20

30

40

50

示素子として液晶表示素子が広く用いられている。液晶表示素子はバックライト光を液晶素子でON/OFFする事で、各画素の輝度を調整している。

【0003】

表示素子として液晶表示素子を用いた液晶ディスプレイは、コントラストを高めることが難しいという課題を有する。なぜなら、バックライト光がOFFとなるように液晶表示素子を制御した場合であっても、液晶表示素子がバックライト光を完全に遮断することが難しいためである。

【0004】

また、液晶ディスプレイは、演色性を高めることが難しいという課題を有する。なぜなら、各原色を表現するために用いる複数のカラーフィルター（例えばRGBの3色）は、その透過帯以外の光を完全に遮断することが難しく、結果として、各カラーフィルターの透過帯を完全に分離する事が出来ない為である。

10

【0005】

一方で、表示素子として有機EL素子を採用した有機ELディスプレイが実用化されている。有機EL素子は、自発光素子であり、且つ、R、G、Bの各単色発光素子である。したがって、有機ELディスプレイは、前述の液晶ディスプレイのコントラストと演色性と言う課題を解決する事が出来ると期待されており、実際にスマートフォン用の小型の平面ディスプレイ分野においては実用化されている。

【0006】

しかし、有機ELディスプレイは、有機EL素子の輝度が経時劣化し易いという課題を有する。なぜなら、有機EL素子の発光層が有機物により構成されているためである。そのため、有機ELディスプレイは、比較的製品寿命が短い（換言すれば買い換え周期が短い）スマートフォンには採用されているが、製品寿命が長い（換言すれば買い換え周期が長い）製品（例えばテレビなど）へ採用することは難しい。また、有機ELディスプレイを製品寿命が長い製品に採用する場合には、輝度の経時劣化を補償する為の複雑な回路が必要となる。

20

【0007】

以上の様な、液晶ディスプレイ及び有機ELディスプレイの課題を解消する平面ディスプレイとして、化合物半導体製のLED素子を表示素子として採用したLEDディスプレイが提案されている（特許文献1及び2参照）。LEDディスプレイは、化合物半導体製のLED素子を2次元アレイ状に配置する事によって構成されており、コントラストが高く、演色性が優れ、且つ、輝度が経時劣化しにくい。

30

【0008】

特に有機EL素子に比べて、LED素子は、発光効率が高く、且つ、長期信頼性が高い（輝度の経時劣化などが少ない）。したがって、LEDディスプレイは、屋外でも見やすい高輝度ディスプレイを実現できる。超大型の平面ディスプレイ分野に関しては、デジタルサイネージュ用としてLEDディスプレイの実用化が始まっている。また、ウェアラブル端末やTV用など中小型から大型の平面ディスプレイ分野に関しても、LEDディスプレイの開発が進んでいる。

40

【0009】

上記の様なLED素子は、マイクロLED素子と呼ばれている。研究開発レベルでは、マイクロLED素子の微細化が進められており、学会では、7 μ m程度の大きさのマイクロLED素子が発表されている（非特許文献1参照）。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】日本国公開特許公報「特開2009-272591号公報（2009年1月19日公開）」

【特許文献2】日本国公表特許公報「特表2016-503958号公報（2016年2月8日公開）」

50

【非特許文献】

【0011】

【非特許文献1】Francois Olivier, Anis Daami, Ludovic Dupre, Franck Henry, Bernard Aventurier, Francois Templier, "Investigation and Improvement of 10 μ m Pixel-pitch GaN-based Micro-LED Arrays with Very High Brightness", SID 2017 DIGEST, P353, 2017

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、上述の特許文献1、2及び非特許文献1に記載されたマイクロLED素子には、下記の様な課題を有する。

【0013】

まず、非特許文献1に記載されている様にマイクロLED素子の微細化を進め場合に、マイクロLED素子は、外部量子効率（発光パワーの投入電力に対する比率）が非常に小さくなるという課題を有する。具体的には、そのサイズが10 μ mを下回るマイクロLED素子において、その外部量子効率は、11%を下回る。それに対して、通常のサイズ（例えば100 μ m以上1000 μ m以下）のLED素子の外部量子効率は、30%～60%程度である。このように、サイズが10 μ mを下回るマイクロLED素子は、通常のサイズのLED素子と比較して、有意に外部量子効率が低い。マイクロLEDディスプレイは、発光効率の高さを期待されている。そのため、マイクロLEDディスプレイにとって、外部量子効率が低い事は、極めて深刻な問題である。

【0014】

更に、マイクロLED素子の微細化を進めれば進めるほど、マイクロLED素子全体としての発光効率が低下するという課題を有する。これは、マイクロLED素子の微細化を進めれば進めるほど、すなわち、マイクロLED素子の面積を小さくすればするほど、マイクロLED素子の面積に対して外周部の面積が占める割合が高くなるためである。非特許文献1に記載されている様に、マイクロLED素子において、その外周部における発光効率は、外周部以外の部分における発光効率より低い。したがって、マイクロLED素子の微細化を進めれば進めるほど、マイクロLED素子における発光効率が低い部分の割合が高くなり、結果としてマイクロLED素子全体としての発光効率が低下する。これは、マイクロLED素子の微細化によってマイクロLEDディスプレイの高精細化、或いは、コスト低減を進めて行く上で、大きな障害となる。

【0015】

本発明は、上記の課題に鑑みてなされたものであり、その目的は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を抑制可能なマイクロLED素子、及び、そのようなマイクロLED素子の製造方法を提供することである。また、その目的は、このようなマイクロLED素子を複数備えた画像表示素子を提供することである。

【課題を解決するための手段】

【0016】

上記の課題を解決するために、本発明の一態様に係るマイクロLED素子は、光出射面の側から見てN型層、発光層、及びP型層がこの順番で積層された窒化物半導体層と、前記P型層側に形成されたP側電極層と、を備えたマイクロLED素子であって、前記N型層は、前記発光層に接する第1領域と、前記光出射面を含む第2領域とを含む。

【0017】

当該マイクロLED素子において、前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度であり、前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度は、前記第1の角度より大きい所定の第2の角度である、ことを特徴とする。

【 0 0 1 8 】

上記の課題を解決するために、本発明の一態様に係る製造方法は、成長基板上にN型層、発光層、及びP型層をこの順番で堆積することによって窒化物半導体層を得る第1の堆積工程と、前記窒化物半導体層の一部をエッチングすることにより第1の溝部を形成し、前記N型層内に、その側方がエッチングされた第1領域と、当該第1領域以外の領域である第2領域とを設ける第1のエッチング工程と、前記第1の溝部に埋込層を堆積する第2の堆積工程と、前記埋込層の表面を研磨する研磨工程と、前記研磨工程において研磨された表面にP側電極層を形成するP側電極形成工程と、前記埋込層と前記第2領域とをエッチングすることによって、前記成長基板の一部を露出させる第2の溝部を形成する第2のエッチング工程と、を含む。

10

【 0 0 1 9 】

当該製造方法において、前記第1のエッチング工程は、前記窒化物半導体のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度となるように、前記第1の溝部を形成し、前記第2のエッチング工程は、前記窒化物半導体のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度が、前記第1の角度より大きい所定の第2の角度となるように、前記第2の溝部を形成する、ことを特徴とする。

【 0 0 2 0 】

上記の課題を解決するために、本発明の一態様に係る製造方法は、成長基板上にN型層、発光層、及びP型層をこの順番で堆積することによって窒化物半導体層を得る第1の堆積工程と、前記窒化物半導体層の一部をエッチングすることにより第1の溝部を形成し、前記N型層内に、その側方がエッチングされた第1領域と、当該第1領域以外の領域である第2領域とを設ける第1のエッチング工程と、前記窒化物半導体層の上に保護層を堆積する第2の堆積工程と、前記第1領域の一部が露出するように前記保護層にコンタクトホールを形成するコンタクトホール形成工程と、前記コンタクトホールを覆うようにP側電極層を形成するP側電極形成工程と、前記保護層と前記第2領域とをエッチングすることによって、前記成長基板の一部を露出させる第2の溝部を形成する第2のエッチング工程と、を含む。

20

【 0 0 2 1 】

当該製造方法において、前記第1のエッチング工程は、前記窒化物半導体のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度となるように、前記第1の溝部を形成し、前記第2のエッチング工程は、前記窒化物半導体のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度が、前記第1の角度より大きい所定の第2の角度となるように、前記第2の溝部を形成する、ことを特徴とする。

30

【 発明の効果 】

【 0 0 2 2 】

本発明の一態様によれば、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を抑制可能なマイクロLED素子、そのようなマイクロLED素子を複数備えた画像表示素子、及び、そのようなマイクロLED素子の製造方法を提供することができる。

40

【 図面の簡単な説明 】

【 0 0 2 3 】

【図1】(a)は、本発明の第1の実施形態に係るマイクロLED素子を複数備えた画像表示素子の断面図である。(b)は、(a)に示したマイクロLED素子をP側電極層の側から見た場合の平面図である。

【図2】図1に示したマイクロLED素子の製造方法のフローチャートである。

【図3】(a)～(e)は、図2に示した製造方法の各ステップにおけるマイクロLED

50

素子の断面図である。

【図４】図１に示した画像表示素子の製造方法のフローチャートである。

【図５】（ａ）～（ｃ）は、図４に示した製造方法の各ステップにおける画像表示素子の断面図である。

【図６】（ａ）～（ｅ）は、本発明の第１の実施形態に係るマイクロＬＥＤ素子の第１の変形例を製造する製造方法の各ステップにおけるマイクロＬＥＤ素子の断面図である。

【図７】（ａ）～（ｅ）は、本発明の第１の実施形態に係るマイクロＬＥＤ素子の第２の変形例を製造する製造方法の各ステップにおけるマイクロＬＥＤ素子の断面図である。

【図８】（ａ）～（ｄ）は、本発明の第１の実施形態に係るマイクロＬＥＤ素子の第３の変形例を製造する製造方法の各ステップにおけるマイクロＬＥＤ素子の断面図である。

【図９】（ａ）は、本発明の第２の実施形態に係るマイクロＬＥＤ素子を複数備えた画像表示素子の断面図である。（ｂ）は、（ａ）に示したマイクロＬＥＤ素子をＰ側電極層の側から見た場合の平面図である。

【図１０】図９に示したマイクロＬＥＤ素子の製造方法のフローチャートである。

【図１１】（ａ）～（ｅ）は、図１０に示した製造方法の各ステップにおけるマイクロＬＥＤ素子の断面図である。

【図１２】図９に示した画像表示素子の製造方法のフローチャートである。

【図１３】（ａ）～（ｃ）は、図１２に示した製造方法の各ステップにおける画像表示素子の断面図である。

【図１４】本発明の第３の実施形態に係るマイクロＬＥＤ素子の製造方法のフローチャートである。

【図１５】（ａ）～（ｆ）は、図１４に示した製造方法の各ステップにおけるマイクロＬＥＤ素子の断面図である。

【発明を実施するための形態】

【００２４】

< 第１の実施形態 >

（マイクロＬＥＤ素子１００_{ij}の構成）

以下に、本発明の第１の実施形態に係るマイクロＬＥＤ素子１００_{ij}を光源として搭載する画像表示素子２００について、図１～図５を参照して説明する。図１の（ａ）は、マイクロＬＥＤ素子１００_{ij}を複数備えた画像表示素子２００の断面図である。図１の（ｂ）は、マイクロＬＥＤ素子１００_{ij}をＰ側電極層３０の側から見た場合の平面図である。図２は、マイクロＬＥＤ素子１００_{ij}の製造方法Ｓ１のフローチャートである。図３の（ａ）～（ｅ）は、製造方法Ｓ１の各ステップにおけるマイクロＬＥＤ素子１００_{ij}の断面図である。図４は、画像表示素子２００の製造方法Ｓ２のフローチャートである。図５の（ａ）～（ｃ）は、製造方法Ｓ２の各ステップにおける画像表示素子２００の断面図である。

【００２５】

なお、図１において、駆動回路基板９０の表面に対する法線方向をｚ軸方向に定める。また、駆動回路基板９０の表面に対して平行な平面のうち、マイクロＬＥＤ素子１００_{ij}の長辺に沿う方向をｘ軸方向に定め、マイクロＬＥＤ素子１００_{ij}の短辺に沿う方向をｙ軸方向に定める。さらに、ｚ軸方向のうち駆動回路基板９０から共通Ｎ側電極層４０へ向かう方向をｚ軸正方向に定め、ｚ軸正方向と共に右手系の直交座標系を形成するようにｘ軸正方向及びｙ軸正方向を定めている。なお、以下において、ｚ軸正方向のことを上方向と称し、ｚ軸負方向のことを下方向と称する。

【００２６】

図１に示すように、マイクロＬＥＤ素子１００_{ij}は、窒化物半導体層１３と、埋込層２０と、Ｐ側電極層３０と、共通Ｎ側電極層４０とを備えている。窒化物半導体層１３は、Ｎ型層１０と、発光層１１と、Ｐ型層１２とによって構成される。窒化物半導体層１３を光出射面の側から見た場合、Ｎ型層１０、発光層１１、及びＰ型層１２の順番で積層されている。Ｐ側電極層３０は、窒化物半導体層１３のＰ型層１２の側（下側）に形成され

10

20

30

40

50

ており、P型層12と接触している。共通N側電極層40は、窒化物半導体層13のN型層10の側に形成されており、N型層10と接触している。このように、マイクロLED素子100_{i,j}は、所謂、上下電極タイプのマイクロLED素子である。

【0027】

このように構成されたマイクロLED素子100_{i,j}において、発光層11において生成された光は、共通N側電極層40が形成されている側(z軸正方向側)から光を出射する。したがって、マイクロLED素子100_{i,j}においては、共通N側電極層40のN型層10と逆側の表面が光出射面となる。また、窒化物半導体層13においては、N型層10と共通N側電極層40との界面が光出射面となる。

【0028】

マイクロLED素子100_{i,j}において、N型層10は、z軸負方向側の領域である第1領域101と、z軸正方向側の領域である第2領域102とを含む。第1領域101は、発光層11に接している。第2領域は、発光層11から離間しており、N型層10における光出射面を含んでいる。

【0029】

窒化物半導体層13のうち第1領域101、発光層11、及びP型層12の側方を取り囲む界面17と発光層11の表面とのなす角度 θ_1 は、発光層11の表面に沿う方向(例えばx軸方向又はy軸方向)へ伝搬する光を光出射面へ向かう方向(z軸正方向)へ反射する角度に設定されている。界面17及び角度 θ_1 は、それぞれ、特許請求の範囲に記載の第1界面及び所定の第1の角度に対応する。本実施形態において、角度 θ_1 は、45度である。

【0030】

窒化物半導体層13のうち第2領域102の側方を取り囲む界面19と発光層11の表面とのなす角度 θ_2 は、第1の角度($\theta_1 = 45$ 度)より大きくなるように設定されている。界面19及び角度 θ_2 は、それぞれ、特許請求の範囲に記載の第2界面及び所定の第2の角度に対応する。本実施形態において、角度 θ_2 は、80度である。

【0031】

なお、マイクロLED素子100_{i,j}においては、界面17と界面19との間には、発光層11の表面とのなす角度が0度である界面18が更に設けられている。この界面18は、角度 θ_1 及びマイクロLED素子100_{i,j}のサイズに応じて、省略することもできる。

【0032】

また、画像表示素子200は、駆動回路基板90と、駆動回路基板90の表面上に二次元アレイ状に積層された複数のマイクロLED素子100_{i,j}とを備えている。なお、本実施形態において、複数のマイクロLED素子100_{i,j}は、n行m列(n, mは、任意の正の整数)の二次元アレイ状に配列されたマイクロLED素子のうち、任意の位置であるi行j列に配置されたマイクロLED素子のことを意味する。すなわち、iは、1 ~ i ~ nの任意の整数であり、jは、1 ~ j ~ mの任意の整数である。また、二次元アレイ状に配列された複数のマイクロLED素子100_{i,j}のことをマイクロLED素子アレイ100と呼ぶ。

【0033】

駆動回路基板90には、複数のマイクロLED素子100_{i,j}の各々に駆動電流を供給する駆動回路が形成されている。図1には、駆動回路に接続された一方の電極である駆動回路側P電極80のみを図示し、駆動回路側N電極を図示していない。

【0034】

複数のマイクロLED素子100_{i,j}の各々は、P側電極層30が接続層70を用いて駆動回路側P電極80に接続されており、且つ、共通N側電極層40が図示しない駆動回路側N電極に接続されている。駆動回路基板90の駆動回路から複数のマイクロLED素子100_{i,j}の各々に駆動電流を供給することによって、複数のマイクロLED素子100_{i,j}の各々は、発光する。マイクロLED素子100_{i,j}が発する光の強度は、駆動電流

10

20

30

40

50

の大小に応じて決まる。なお、マイクロLED素子100_{i,j}は、光の出射側（共通N側電極層40よりもz軸正方向側）に配置された波長変換層や、光拡散層、カラーフィルタ等を更に有していても良いが、マイクロLED素子100_{i,j}とは直接関係しない為、図中には記載しない。

【0035】

上述したように、窒化物半導体層13のうち第1領域101、発光層11、及びP型層12の側方は、界面17によって、その全周が覆われている。本実施形態において、マイクロLED素子100_{i,j}は、平面視した場合に、その輪郭が長方形となるように構成されている。この場合、界面17は、4枚の平面により構成されている。これら4枚の平面は、底面が長方形である四角錐台の側面を構成するように配置される。

10

【0036】

なお、マイクロLED素子100_{i,j}の平面視した場合の輪郭は、長方形（正方形を含む）の代わりに他の多角形（例えば正六角形）でも良いし、円形でも良いし、楕円形でも良い。例えば、平面視した場合の輪郭がN角形（Nは3以上の整数）である場合、界面17は、N枚の平面により構成される。これらN枚の平面は、底面がN角形であるN角錐台の側面を構成するように配置される。また、例えば、平面視した場合の輪郭が円形である場合、界面17は、1つの曲面により構成される。この1つの曲面は、円錐台の側面を構成するように配置される。

【0037】

上述したように、角度 θ_1 は、45度に設定されている。ただし、後述するように界面17は、窒化物半導体層13の一部をエッチング（図2に示す第1のエッチング工程S12参照）することにより形成される。実際に製造されたマイクロLED素子100_{i,j}における角度 θ_1 は、このエッチングの精度に依存し、ある程度の範囲内で揺らぐ。第1のエッチング工程S12のエッチング手法としてドライエッチングを採用した場合、エッチングの精度に起因する角度 θ_1 の揺らぎは、 ± 10 度程度であると見積もられる。したがって、実際に製造されたマイクロLED素子100_{i,j}における角度 θ_1 は、所定の角度である角度 θ_1 に限定されず、角度 θ_1 を中心とする所定の角度、すなわち、角度 $\theta_1 \pm 10$ 度の範囲に含まれていれば良い。なお、上述した角度 θ_1 の揺らぎは、後述する第1のエッチング工程S12において採用するエッチング手法に依存して変化し得る。

20

【0038】

また、角度 θ_1 は、発光層11の表面に沿う方向へ伝搬する光を発光層11の法線方向に沿う方向へ反射するために、45度であることが好ましい。しかし、角度 θ_1 は、35度以上55度以下の範囲に含まれる角度に定められていても良い。

30

【0039】

本実施形態において、界面17は、N型層10の第1領域101の側方と、発光層11の側方と、P型層12の側方とを取り囲むように形成されている。したがって、界面17が形成されている領域の厚さ t_{1F} （z軸方向に沿った長さ）は、第1領域101の厚さ t_{n1} と、発光層11の厚さ t_{mqw} と、P型層12の厚さ t_p との和で与えられる（ $t_{1F} = t_{n1} + t_{mqw} + t_p$ ）。

【0040】

また、上述したように、角度 θ_2 は、80度に設定されている。角度 θ_2 は、角度 θ_1 を上回る範囲内で任意に定めることができるものの、90度に近い角度であることが好ましい。なお、実際に製造されたマイクロLED素子100_{i,j}における角度 θ_2 は、実際に製造されたマイクロLED素子100_{i,j}における角度 θ_1 の場合と同様に、所定の角度である角度 θ_2 に限定されず、角度 $\theta_2 \pm 10$ 度の範囲に含まれていれば良い。

40

【0041】

図1の(a)に示すように、界面17の外側は、埋込層20によって覆われている。埋込層20の下端面201は、xy平面に沿い、平坦になるように研磨されている（図2に記載の研磨工程S14参照）。すなわち、下端面201は、高い表面平坦性を有する。

【0042】

50

P型層12のうち埋込層20から露出した領域(P側電極層30の接触領域301と接触する領域)は、下端面201よりわずかにz軸正方向側に位置する。しかし、この露出した領域と下端面201との間に生じる段差は、100nm以下であり、厚さ t_{IF} に比べれば、遥かに小さい。

【0043】

埋込層20は、可視光に対して透明であり、且つ、屈折率が窒化物半導体層13を構成する物質の屈折率よりも小さな物質により構成されていることが好ましい。埋込層20を構成する好ましい物質の例としては、 SiO_2 が挙げられる。

【0044】

P側電極層30は、下端面201のほぼ全体を覆っており、埋込層20の下端面201の10高い表面平坦性を受け継いでいる。したがって、P側電極層30の下端面は、下端面201と同様に高い表面平坦性を有している。

【0045】

界面17は、発光層11から発光層11の表面に沿う方向に向かって出射された光を、光出射面に向かう方向(すなわち上方向)に反射することができる。そのため、マイクロLED素子100_{i,j}は、発光層11から上方向(z軸正方向)に向かって出射された光に加えて、発光層11から発光層11の表面に沿う方向に向かって出射された光を効率よく光出射面から出射することができる。したがって、マイクロLED素子100_{i,j}は、界面17を設けられていない従来のマイクロLED素子と比較して、発光効率を大幅に向上させることができる。換言すれば、マイクロLED素子100_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を抑制することができる。20

【0046】

〔第1の実施例〕

本発明の第1の実施例であるマイクロLED素子100_{i,j}について、以下に説明する。本実施例のマイクロLED素子100_{i,j}は、図1に示したマイクロLED素子100_{i,j}において、以下の構成を採用したものである。

- ・平面視した場合の輪郭：一片の長さが7μmのほぼ正方形
- ・ $T_p = 100\text{nm}$
- ・ $T_{mqw} = 70\text{nm}$
- ・ $T_{n1} = 1500\text{nm}$
- ・ $\theta_1 = 45\text{度}$

また、本実施例のマイクロLED素子100_{i,j}の構成から界面17と埋込層20とを省略したマイクロLED素子を、第1の比較例として用いた。

【0047】

それぞれに同一の駆動電流を供給した状態において、本実施例のマイクロLED素子100_{i,j}及び第1の比較例のマイクロLED素子の光出力を測定した。その結果、本実施例のマイクロLED素子100_{i,j}の光出力は、第1の比較例のマイクロLED素子の光出力に対して210%であった。

【0048】

この光出力の顕著な増加の要因としては、以下の点が寄与していると、本願の発明者は推測している。まず第1に、大きな界面17(厚さ t_{IF} が厚さ t_p よりも厚い界面17)を設け、その界面17の外側を厚い透明な低屈折率材料からなる埋込層20で取り囲む。これにより、発光層11から水平方向(発光層11の表面に沿う方向)とその周辺に出射された光が、上方へ(z軸正方向へ)全反射される。第2に、この反射光は、N型層10の光出射面に対してほぼ垂直に入射し、外部に射出される。

【0049】

このような光は、界面17が無ければ、発光層11から水平方向に射出されて、周辺の金属層等によって吸収されてしまうか、或いは、窒化物半導体層13の中において反射を繰り返し過程において減衰する。すなわち、このような光は、外部には射出されない。

10

20

30

40

50

【 0 0 5 0 】

これに対して本実施例のマイクロLED素子100_{i,j}では、界面17における全反射により、発光層11から水平方向に出射された光が上方に反射される為、光のロスが殆ど無い。また、界面17において反射された反射光は、N型層10の光出射面に対してほぼ垂直に入射する為、N型層10を透過する場合の光路長を短くすることができる。したがって、反射光は、N型層10において吸収されにくい。これらの結果として、本実施例のマイクロLED素子100_{i,j}は、非常に高い光の取出し効率を有する。

【 0 0 5 1 】

マイクロLED素子100_{i,j}においては、界面17が発光層11の表面に対して傾斜している。そのため、発光層11の面積は、マイクロLED素子100_{i,j}の面積と比較して、大幅に縮小されている。本実施例では、マイクロLED素子100_{i,j}の面積に対する発光層11の面積の割合は、

$$\{7000 - (70 + 1500) * 2\}^2 / 7000^2 = 0.304$$

となり、僅か30%程度となる。

【 0 0 5 2 】

更に、窒化物半導体層13をドライエッチングによって、発光層11の周辺部がダメージを受ける為、実効的に発光に寄与する発光層11の面積は、更に小さいと考えられる。また、これらのダメージ部分が非発光で電流を消費する為、発光効率の低下が生じると推測される。このような効果は、マイクロLED素子100_{i,j}の内部量子効率の低下として現れる。

【 0 0 5 3 】

外部量子効率の電流依存性のデータを用いて、内部量子効率と光取出し効率とを分離し、内部量子効率を評価した。その結果、本実施例のマイクロLED素子100_{i,j}の内部量子効率、及び、第1の比較例のマイクロLED素子の内部量子効率は、それぞれ、69%と70%であり、両者に大きな違いはなかった。従って、本実施例のマイクロLED素子100_{i,j}における発光効率の2倍以上の向上は、主に光取出し効率の向上によっている事が分かった。

【 0 0 5 4 】

一方で、発光層11の面積は、第1の比較例のマイクロLED素子が備えている発光層の面積に対して1/3程度である。通常、発光層11の面積が縮小された場合、内部量子効率は、大幅に小さくなる筈である。しかし、本実施例のマイクロLED素子100_{i,j}の内部量子効率が第1の比較例のマイクロLED素子の内部量子効率と比較して大きく劣化しなかったのは、発光層11に対するダメージを大幅に低減できた為と推測する。

【 0 0 5 5 】

本構造では、P型層12の面積が、マイクロLED素子100_{i,j}の面積に対して、大幅に小さい。それに関わらず、P側電極層30の面積は、マイクロLED素子100_{i,j}の面積とほぼ等しく、且つ、その表面は、平坦である。P型層12の面積が小さいにも関わらず、面積が広く且つ表面が平坦なP側電極層30を形成できる為、マイクロLED素子100_{i,j}は、接続層70を用いて駆動回路側P電極80と安定して強固に接続されている。従って、後述する成長基板剥離工程S22(図4参照)において成長基板1をN型層10から剥離する際に、マイクロLED素子100_{i,j}が成長基板1に引っ張られて、欠落したり、機械的衝撃によって、傾いたりするといった不良を低減できる。

【 0 0 5 6 】

(マイクロLED素子100_{i,j}の製造方法S1)

次に、マイクロLED素子100_{i,j}の製造方法の一例である製造方法S1について、図2及び図3を参照して説明する。

【 0 0 5 7 】

図2に示すように、製造方法S1は、第1の堆積工程S11と、第1のエッチング工程S12と、第2の堆積工程S13と、研磨工程S14と、保護マスク除去工程S15と、P側電極形成工程S16と、第2のエッチング工程S17とを含んでいる。

【 0 0 5 8 】

第 1 の堆積工程 S 1 1 は、図 3 の (a) に示す様に、成長基板 1 上に N 型層 1 0、発光層 1 1、及び P 型層 1 2 をこの順番で堆積することによって窒化物半導体層 1 3 を得る工程である。成長基板 1 を構成する物質としては、例えばサファイア (Al_2O_3) や SiC 等を用いることができる。また、窒化物半導体層 1 3 を構成する物質としては、例えば GaN 系の半導体等を用いることができる。また、窒化物半導体層 1 3 を成長基板 1 上に成長させる装置としては、例えば MOCVD 装置を用いることができる。なお、成長基板 1 は、表面に凹凸構造を有していても良い。

【 0 0 5 9 】

発光層 1 1 は、InGa_N 層や GaN 層からなる多重量子井戸層を含む。N 型層 1 0 及び P 型層 1 2 は、それぞれ複雑な多層構造により構成される。本実施形態において、N 型層 1 0、発光層 1 1、及び P 型層 1 2 の具体的な構成は、特に限定されるものではなく、例えば、従来のマイクロ LED 素子が採用している N 型層、発光層、及び P 型層の構成を適宜採用することができる。したがって、本実施形態では、N 型層 1 0、発光層 1 1、及び P 型層 1 2 の具体的な構成に関する説明を省略する。

【 0 0 6 0 】

なお、N 型層 1 0 の厚さ t_n (第 1 領域 1 0 1 の厚さ t_{n1} と第 2 領域 1 0 2 の厚さ t_{n2} との和) は、一般的に $10\mu m$ 以下であり、 $5\mu m \pm 2\mu m$ 程度である場合が多い。発光層 1 1 の厚さ t_{mqw} は、一般的に $10nm$ 以上 $200nm$ 以下で有り、 $50nm$ 以上 $100nm$ 以下程度である場合が多い。P 型層 1 2 の厚さ t_p は、一般的に $50nm$ 以上 $1000nm$ 以下であり、 $100nm$ 以上 $300nm$ 以下程度である場合が多い。

【 0 0 6 1 】

製造方法 S 1 においては、窒化物半導体層 1 3 の成長が終わった後、表面保護膜 1 4 を形成する。このように、第 1 の堆積工程 S 1 1 は、表面保護膜 1 4 の形成を含んでもよい。

【 0 0 6 2 】

第 1 のエッチング工程 S 1 2 は、図 3 の (b) に示すように、窒化物半導体層 1 3 の一部をエッチングすることにより溝部 1 6 を形成し、N 型層 1 0 内に、その側方がエッチングされた第 1 領域 1 0 1 と、第 1 領域 1 0 1 以外の領域である第 2 領域 1 0 2 とを設ける工程である。第 1 のエッチング工程 S 1 2 は、窒化物半導体層 1 3 のうち少なくとも界面 1 7 と発光層 1 1 の表面とのなす角度 θ_1 が、所定の第 1 の角度である 45° となるように、すなわち、溝部 1 6 の側壁の表面と発光層 1 1 の表面とのなす角度 θ_1 が 45° となるように、溝部 1 6 を形成する。なお、溝部 1 6 は、特許請求の範囲に記載の第 1 の溝部である。

【 0 0 6 3 】

なお、本実施形態においては、溝部 1 6 の底面と発光層 1 1 の表面とが平行になるように溝部 1 6 が形成されている。この底面は、界面 1 8 を形成する。

【 0 0 6 4 】

溝部 1 6 を形成するために、まず、通常のリソグラフィ工程を用いて、溝部 1 6 に開口部を有するレジストパターンを形成する。その後、ドライエッチング装置を用いて、表面保護膜 1 4 と、P 型層 1 2 と、発光層 1 1 と、N 型層 1 0 の一部とをエッチングする。以上の工程により、溝部 1 6 は、形成される。第 1 のエッチング工程 S 1 2 を実施することにより、P 型層 1 2 の表面上には表面保護膜 1 4 の残存部である保護マスク 1 5 が残り、その周囲は界面 1 7 によって囲まれる。このようにして、第 1 領域 1 0 1 の側方を取り囲む界面 1 7 が形成される。溝部 1 6 の深さは、上述した界面 1 7 の厚さ t_{IF} と等しい。

【 0 0 6 5 】

第 2 の堆積工程 S 1 3 は、溝部 1 6 に埋込層 2 0 を堆積する工程である。埋込層 2 0 は、例えば、 SiO_2 (2 酸化ケイ素) を CVD 法により形成する。

【 0 0 6 6 】

研磨工程 S 1 4 は、保護マスク 1 5 及び埋込層 2 0 の表面を研磨することによって、保護マスク 1 5 の表面に堆積した SiO_2 を除去する工程である。保護マスク 1 5 及び埋込層 2 0 の表面を研磨する手法としては、例えば CMP（化学機械的研磨）法を採用することができる。

【 0 0 6 7 】

これらの第 2 の堆積工程 S 1 3 及び研磨工程 S 1 4 を実施することによって、図 3 の (c) に示すように、保護マスク 1 5 及び埋込層 2 0 の表面が平坦に研磨された構造が得られる。保護マスク 1 5、すなわち表面保護膜 1 4 は、研磨工程 S 1 4 におけるストッパとして機能する材料により構成されている事が好ましい。ストッパとして機能する材料、換言すればエッチングされ難い材料としては、例えば SiN （窒化ケイ素）等が挙げられる。保護マスク 1 5 は、研磨工程 S 1 4 の実施後に僅かに残っている程度で良い。なお、研磨工程 S 1 4 の実施前における表面保護膜 1 4 の厚さは、30 nm から 100 nm 程度である。

10

【 0 0 6 8 】

なお、保護マスク 1 5 は、CMP のストッパとしての機能に加えて、研磨工程 S 1 4 の実施中に P 型層 1 2 の表面を研磨液や研磨パッドに曝す事を防ぐ事ができる。保護マスク 1 5 が形成されていることによって、P 型層 1 2 の膜減りによるコンタクト不良の発生を抑制する、及び、窒化物半導体層 1 3 の金属汚染による発光効率の低下を防止する、という効果が得られる。

20

【 0 0 6 9 】

保護マスク除去工程 S 1 5 は、保護マスク 1 5 を除去する工程である。

【 0 0 7 0 】

P 側電極形成工程 S 1 6 は、図 3 の (d) に示すように、研磨工程 S 1 4 により研磨された埋込層 2 0 の表面に P 側電極層 3 0 を形成する工程である。保護マスク除去工程 S 1 5 によって保護マスク 1 5 が除去されているため、埋込層 2 0 の表面に形成された P 側電極層 3 0 は、P 型層 1 2 と接触する。P 側電極形成工程 S 1 6 は、P 側電極層 3 0 を形成するまえに実施する活性化アニール工程を含んでも良い。活性化アニール工程を実施することにより、P 型層 1 2 は、活性化される。

【 0 0 7 1 】

P 側電極層 3 0 は、図 1 の (b) に示すように、マイクロ LED 素子 $100_{i,j}$ を z 軸負方向側から平面視したときに、発光層 1 1 を完全に覆う領域に形成されていることが好ましく、マイクロ LED 素子 $100_{i,j}$ の z 軸負方向側の表面の出来る限り広い面積を覆っている事がさらに好ましい。なお、保護マスク 1 5 を除去したことに伴い生じる数十 nm 程度の僅かな段差を除いて、P 側電極層 3 0 の表面は平坦である。

30

【 0 0 7 2 】

P 側電極層 3 0 としては、例えば、パラジウム、アルミニウム、ニッケル、白金、及び金により構成された多層膜を採用することができる。このような多層膜は、例えば、電子ビーム蒸着法を用いて形成することができる。電子ビーム蒸着法を用いて P 側電極層 3 0 を形成する場合、P 側電極層 3 0 を形成する領域に開口部を有するレジストパターンを形成し、多層膜を蒸着した後に、レジストパターンを超音波振動や薬液によって除去するリフトオフ方式を用いることによって、P 側電極層 3 0 は得られる。また、パラジウム、アルミニウム、ニッケル、チタン、窒化チタン、アルミニウム銅合金等からなる多層膜を堆積し、P 側電極層 3 0 を形成する領域を覆うレジストパターンを設け、ドライエッチングによって不要な領域に形成された多層膜を除去する方法を用いても、P 側電極層 3 0 を得ることができる。

40

【 0 0 7 3 】

第 2 のエッチング工程 S 1 7 は、図 3 の (e) に示すように、埋込層 2 0 及び第 2 領域 1 0 2 の一部をドライエッチングすることによって、成長基板 1 の一部を露出させる工程である。第 2 のエッチング工程 S 1 7 を実施することにより、溝部 5 0 が形成される。

【 0 0 7 4 】

50

ここで、第2のエッチング工程S17は、所定の第2の角度である角度 θ_2 が、所定の第1の角度である角度 θ_1 より大きくなるように溝部50を形成する。なお、溝部50は、特許請求の範囲に記載の第2の溝部である。第2のエッチング工程S17を実施することによって、1枚の成長基板1上に形成された窒化物半導体層13及び埋込層20は、二次元アレイ状に配列された複数のマイクロLED素子100 $_{i,j}$ に分割される。すなわち、マイクロLED素子アレイ100が得られる。

【0075】

マイクロLED素子100 $_{i,j}$ の外周部に開口部を有するレジストパターンを設け、まず埋込層20をドライエッチングし、次いで、窒化物半導体層13の第2領域102をエッチングする事で、溝部50が形成される。

10

【0076】

角度 θ_2 が角度 θ_1 より大きいことによって、マイクロLED素子100 $_{i,j}$ の出射面の面積をできるだけ大きくすることができる。

【0077】

第2のエッチング工程S17において用いるドライエッチングは、厚さが厚い窒化物半導体層13に対して角度 θ_2 が垂直に近い溝部50を形成することが求められる。そのため、ドライエッチングに用いるプラズマ中のイオンのエネルギーが高くなる傾向があり、既にエッチングされた溝部50の側壁にも、エッチング中にエネルギーの高いイオンが入射する。これらのイオンが発光層11に当たると、結晶欠陥を生じ、発光効率の低下を招く。しかし、マイクロLED素子100 $_{i,j}$ において、発光層11は、溝部50から離間しており、その側方を埋込層20が覆っている為、エネルギーの高いイオンが発光層11に当たる可能性を大幅に低減できる。したがって、製造方法S1は、第2のエッチング工程S17において生じ得る発光層11のダメージを大幅に低減することができる。すなわち、マイクロLED素子100 $_{i,j}$ を微細化した場合であっても、その内部量子効率が低下することを抑制することができる。

20

【0078】

なお、第2のエッチング工程S17は、製造方法S1のうちイオンのエネルギーが最も大きいプラズマを用いる工程であり、発光層11に対して大きなダメージを与え得る工程である。しかし、上述したように製造方法S1は、発光層11のダメージを大幅に低減することができる。

30

【0079】

第1のエッチング工程S12において用いるドライエッチングにおいて、発光層11が剥き出しになる期間は、主にP型層12をエッチングしている期間である。また、発光層11の端部がプラズマに曝される時間は、短い。また、溝部16における角度 θ_1 が溝部50における角度 θ_2 より小さいため、入射するイオンのエネルギーを第2のエッチング工程S17において用いるドライエッチングの場合ほど高める必要もない。これらの理由から、第1のエッチング工程S12において生じ得る発光層11のダメージは、第2のエッチング工程S17において生じ得る発光層11のダメージよりも少ない。

【0080】

なお、製造方法S1は、第1のエッチング工程S12の後に、窒化物半導体層13をアニールする（例えば水素雰囲気中でアニールする）工程、或いは、極薄い高抵抗Ga_{0.9}N層を溝部16の表面（すなわち界面17及び界面18）の上に形成する工程等を加えても良い。

40

【0081】

製造方法S1では、溝部16のエッチングを溝部50のエッチングと分離する事で、エッチングにより発光層11に生じ得るダメージを低減すると共に、少ないながら生じる欠陥を回復し、内部量子効率を向上する効果が期待できる。又、水素雰囲気のアニールによって、発光層11の多重量子井戸層（InGa_{0.9}N層）の端部からInを蒸発させることができる。したがって、水素雰囲気のアニールによって、多重量子井戸層の端部に低インジウム領域を形成し、多重量子井戸層に注入された電子や正孔が端部の界面に近づく事を

50

防ぎ、非発光再結合を低減する効果も期待できる。

【0082】

上述した第1の比較例のマイクロLED素子のように界面17が形成されていない場合には、溝部50を形成するためのドライエッチングによって、発光層11を同時に加工することになる。この場合には、発光層11をエッチングした段階では、P側電極層30が形成されている為、アニール温度を十分に上昇させる事が難しく、十分なアニール効果を期待できない。

【0083】

なお、図3の(e)では、溝部50が成長基板1の表面に達しているが、全ての溝部50が成長基板1の表面に達する必要は無い。例えば、マイクロLED素子アレイ100を構成する複数のマイクロLED素子100_{i,j}のうち、一部の隣接するマイクロLED素子100_{i,j}同士は、N型層10の第2領域102によって、部分的に繋がっていても良い。

10

【0084】

(画像表示素子200の製造方法S2)

次に、複数のマイクロLED素子100_{i,j}を備えたマイクロLED素子アレイ100を用いた画像表示素子200の製造方法の一例である製造方法S2について、図4及び図5を参照して説明する。

【0085】

製造方法S2に先駆けて、マイクロLED素子100_{i,j}の各々を駆動する駆動回路が作り込まれた駆動回路基板90を準備する。駆動回路基板90の表面には、マイクロLED素子100_{i,j}に電流を流す為の駆動回路側P電極80と駆動回路側N電極81(図示せず)が設けられている。駆動回路基板90の内部には各マイクロLED素子100_{i,j}を選択し、所定の電流を流す為の各種回路が作り込まれているが、本発明とは直接関係無い。その為、ここではそれらの説明を省略する。また、マイクロLED素子100_{i,j}のN側電極に接続する駆動回路側電極も省略している。駆動回路基板90はシリコンLSIその物であっても良いし、ガラスやフィルム上に形成されたTFTを含んでも良い。

20

【0086】

製造方法S2は、図4に示すように、実装工程S21と、成長基板剥離工程S22と、充填工程S23と、共通N側電極形成工程S24とを含んでいる。

30

【0087】

実装工程S21は、図5の(a)に示すように、マイクロLED素子アレイ100を駆動回路基板90に実装する工程である。実装工程S21において、駆動回路側P電極80の上に、接続層70が形成される。その上にマイクロLED素子アレイ100を貼り付けることによって、P側電極層30は、接続層70を介して駆動回路側P電極80と導通する。この際、駆動回路側P電極80の上に、対応するP側電極層30が重なる様に、十分なアライメント精度を有するチップボンダーを使用することが好ましい。

【0088】

接続層70は、駆動回路側P電極80上に印刷された導電ペーストであっても良いし、金バンプの様に直接合金を形成する材料でも良い。また、図5の(a)では、駆動回路側P電極80の各々の上に、それぞれに対応する接続層70を個別に配置した。しかし、駆動回路基板90の表面上の全体に、異方性導電膜を配置しても良い。或いは、ブロックコポリマー(polystyrene-block-poly(2-vinylpyridine))を駆動回路基板90上にスピンコートし、Na₂PdCl₄水溶液に浸漬し、ブロックコポリマー内の2-vinylpyridineコアにPdイオンを選択的に析出させ、プラズマ処理によってポリマーを除去する。これにより、数十nmサイズのPdナノパーティクルを、100nmから300nm程度の間隔で析出させる事で、接続層70とする事も出来る。この方法は、高価な装置が不要であり、且つ、P側電極層30と駆動回路側P電極80とを室温で接続できると言う利点があり、大変、好ましい。

40

【0089】

50

成長基板剥離工程 S 2 2 は、レーザー剥離法によって、成長基板 1 をマイクロ L E D 素子アレイ 1 0 0 より剥離する工程である。図 5 の (b) に示すように、成長基板 1 を剥離することによって、N 型層 1 0 の光出射面が露出する。

【 0 0 9 0 】

充填工程 S 2 3 は、溝部 5 0 に充填剤 6 0 を充填する工程である。充填剤 6 0 を構成する材料の例としては、樹脂に白色顔料を混ぜることによって得られる反射性の高い材料や、樹脂に黒色顔料やカーボンブラックを混ぜることによって得られる吸光性の高い材料等が挙げられる。反射性の高い材料及び吸光性の高い材料の何れを用いるかは、画像表示素子 2 0 0 の用途によって適宜使い分ける事が出来る。

【 0 0 9 1 】

共通 N 側電極形成工程 S 2 4 は、図 5 の (c) に示すように、露出した N 型層 1 0 の光出射面の上に、共通 N 側電極層 4 0 を形成する工程である。共通 N 側電極層 4 0 は、複数のマイクロ L E D 素子 $100_{i,j}$ の光出射面を短絡することによって、各マイクロ L E D 素子 $100_{i,j}$ の光出射面を等電位にする。その後、共通 N 側電極層 4 0 は、図 5 に図示しない駆動回路側 N 電極に接続される。したがって、複数のマイクロ L E D 素子 $100_{i,j}$ の N 型層 1 0 は、共通 N 側電極層 4 0 及び駆動回路側 N 電極を介して駆動回路に接続されている。

【 0 0 9 2 】

なお、共通 N 側電極層 4 0 としては、ITO 等の透明導電膜を採用してもよいし、光出射面 1 0 3 の大部分に開口部を有し、溝部 5 0 上に金属薄膜パターンを配置した金属製のメッシュ状電極を採用してもよいし、両者を組み合わせてもよい。本実施形態では、ITO 等の透明導電膜を採用している。

【 0 0 9 3 】

〔 第 1 の変形例 〕

本発明の第 1 の変形例であるマイクロ L E D 素子 $100_{a_{i,j}}$ の構成及び製造方法 S 1 について、図 6 を参照して説明する。図 6 の (a) ~ (e) は、本変形例の製造方法 S 1 の各ステップにおけるマイクロ L E D 素子 $100_{a_{i,j}}$ の断面図である。

【 0 0 9 4 】

マイクロ L E D 素子 $100_{a_{i,j}}$ は、図 2 に示した製造方法 S 1 において用いた表面保護膜 1 4 (すなわち保護マスク 1 5) を省略することによって得られる。なお、本変形例においては、マイクロ L E D 素子 $100_{a_{i,j}}$ の構成及び製造方法のうち、マイクロ L E D 素子 $100_{i,j}$ の構成及び製造方法と異なる点についてのみ説明する。また、説明の便宜上、マイクロ L E D 素子 $100_{a_{i,j}}$ を構成する部材のうちマイクロ L E D 素子 $100_{i,j}$ と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。これらの点については、後述する第 2 の変形例及び第 3 の変形例についても同様である。

【 0 0 9 5 】

本変形例の製造方法 S 1 に含まれる第 1 の堆積工程 S 1 1 は、図 2 に示した第 1 の堆積工程 S 1 1 と同様である。しかし、本変形例の第 1 の堆積工程 S 1 1 では、表面保護膜 1 4 を形成する工程を省略する。

【 0 0 9 6 】

本変形例の製造方法 S 1 に含まれる第 1 のエッチング工程 S 1 2 は、図 6 の (b) に示すように、窒化物半導体層 1 3 の一部をエッチングすることにより溝部 1 6 を形成する工程である。

【 0 0 9 7 】

本変形例の製造方法 S 1 に含まれる第 2 の堆積工程 S 1 3 は、図 2 に記載の第 2 の堆積工程 S 1 3 と同じである。

【 0 0 9 8 】

本変形例の製造方法 S 1 に含まれる研磨工程 S 1 4 は、P 型層 1 2 及び埋込層 2 0 の表面を研磨することによって、この表面を平坦にする工程である。本変形例の研磨工程 S 1 4 においても、表面を研磨するための手法として例えば C M P を採用することができる。

10

20

30

40

50

ただし、本変形例の製造方法 S 1 においては、保護マスク 1 5 を省略している為に、図 2 に示した製造方法 S 1 が含む保護マスク除去工程 S 1 5 が省略される。したがって、(1) P 型層 1 2 が膜減りする点と、(2) P 型層 1 2 の表面が研磨液や研磨パッドに曝されることに起因して窒化物半導体層 1 3 における金属汚染を生じる恐れがある点と、に注意する必要がある。P 型層 1 2 の膜減りは、第 1 の堆積工程 S 1 1 において予め P 型層 1 2 を厚く形成しておく事で対応できる。金属汚染に関しては、CMP 後の洗浄を強化する事で、最小限に抑制できる。

【 0 0 9 9 】

本変形例の製造方法 S 1 に含まれる P 側電極形成工程 S 1 6 (図 6 の (d) 参照) 及び第 2 のエッチング工程 S 1 7 (図 6 の (e) 参照) については、それぞれ、図 2 に記載の P 側電極形成工程 S 1 6 及び第 2 のエッチング工程 S 1 7 と同じである。

【 0 1 0 0 】

また、複数のマイクロ LED 素子 $100a_{i,j}$ によって構成されたマイクロ LED 素子アレイ $100a$ を用いて画像表示素子を製造する製造方法としては、図 4 に記載の製造方法 S 2 を適用することができる。

【 0 1 0 1 】

〔 第 2 の変形例 〕

本発明の第 2 の変形例であるマイクロ LED 素子 $100b_{i,j}$ の構成及び製造方法 S 1 について、図 7 を参照して説明する。図 7 の (a) ~ (e) は、本変形例の製造方法 S 1 の各ステップにおけるマイクロ LED 素子 $100b_{i,j}$ の断面図である。

【 0 1 0 2 】

マイクロ LED 素子 $100b_{i,j}$ は、図 2 に示した製造方法 S 1 において用いた表面保護膜 1 4 (すなわち保護マスク 1 5) の代わりに、透明導電層 1 4 b (すなわち透明 P 側電極層 1 5 b) を用いることによって得られる。

【 0 1 0 3 】

本変形例の製造方法 S 1 に含まれる第 1 の堆積工程 S 1 1 は、図 2 に示した第 1 の堆積工程 S 1 1 と同様である。しかし、本変形例の第 1 の堆積工程 S 1 1 では、表面保護膜 1 4 を形成する代わりに透明導電層 1 4 b を形成する (図 7 の (a) 参照) 。なお、本変形例においては、透明導電層 1 4 b を形成する前に P 型層 1 2 の活性化アニールを行う。透明導電層 1 4 b を構成する材料としては、例えば ITO (Indium-Tin-Oxide) や酸化錫 (SnO_x) 等が挙げられる。透明導電層 1 4 b の厚さは、40nm 以上 500nm 以下の範囲に含まれることが好ましい。

【 0 1 0 4 】

本変形例の製造方法 S 1 に含まれる第 1 のエッチング工程 S 1 2 は、図 2 に示した第 1 のエッチング工程 S 1 2 と同様である (図 7 の (b) 参照) 。第 1 のエッチング工程 S 1 2 を実施することにより、P 型層 1 2 の表面上には透明導電層 1 4 b の残存部である透明 P 側電極層 1 5 b が残る。第 1 のエッチング工程 S 1 2 により、図 7 の (b) に示すように溝部 1 6 が形成される。

【 0 1 0 5 】

本変形例の製造方法 S 1 に含まれる第 2 の堆積工程 S 1 3 及び研磨工程 S 1 4 は、図 2 に記載の第 2 の堆積工程 S 1 3 及び研磨工程 S 1 4 と同じ工程である (図 7 の (c) 参照) 。

【 0 1 0 6 】

図 2 に記載の製造方法 S 1 では、研磨工程 S 1 4 の後に保護マスク除去工程 S 1 5 を実施する。しかし、本変形例では、透明 P 側電極層 1 5 b を除去することなく、そのまま P 側電極形成工程 S 1 6 を実施する。

【 0 1 0 7 】

本変形例の製造方法 S 1 に含まれる P 側電極形成工程 S 1 6 (図 7 の (d) 参照) 及び第 2 のエッチング工程 S 1 7 (図 7 の (e) 参照) については、それぞれ、図 2 に記載の P 側電極形成工程 S 1 6 及び第 2 のエッチング工程 S 1 7 と同じである。

【 0 1 0 8 】

また、複数のマイクロLED素子100b_{i,j}によって構成されたマイクロLED素子アレイ100bを用いて画像表示素子を製造する製造方法としては、図4に記載の製造方法S2を適用することができる。

【 0 1 0 9 】

〔第2の実施例〕

本発明の第2の実施例であるマイクロLED素子100b_{i,j}について、以下に説明する。本実施例のマイクロLED素子100b_{i,j}は、本発明の第1の実施例であるマイクロLED素子100i_{i,j}と同様に構成されており、保護マスク15の代わりに透明P側電極層15bを備えている点のみが異なる。

10

【 0 1 1 0 】

本実施例のマイクロLED素子100b_{i,j}の光出力は、第1の実施例であるマイクロLED素子100i_{i,j}の光出力に対して、3%程度向上した。本実施例のマイクロLED素子100b_{i,j}の内部量子効率、第1の実施例であるマイクロLED素子100i_{i,j}の内部量子効率とバラツキの範囲内で一致していたことから、光取出し効率が向上した事が光出力向上の理由であると、発明者は推測している。

【 0 1 1 1 】

また、マイクロLED素子100b_{i,j}においては、P側電極層30とP型層12との間に透明P側電極層15bが介在する。その結果、P側電極層30とP型層12との界面（すなわちP側電極層30の接触領域301b）での反射率が向上し、P側電極層30に吸収される光が減少したのではないかと考える。このことが光取り出し効率向上の理由であると、発明者は推測している。

20

【 0 1 1 2 】

以上の様に、マイクロLED素子100b_{i,j}は、マイクロLED素子100i_{i,j}と比較して、光出力を更に向上させることができる。

【 0 1 1 3 】

〔第3の変形例〕

本発明の第3の変形例であるマイクロLED素子100c_{i,j}の構成及び製造方法S1について、図8を参照して説明する。図8の(a)~(e)は、本変形例の製造方法S1の各ステップにおけるマイクロLED素子100c_{i,j}の断面図である。

30

【 0 1 1 4 】

マイクロLED素子100c_{i,j}は、溝部16c及び埋込層20cの形状を除いて、図7に示したマイクロLED素子100b_{i,j}と同様に構成されている。本変形例では、この点について説明する。

【 0 1 1 5 】

マイクロLED素子100b_{i,j}に設けられている界面17は、P型層12、発光層11、及びN型層10の第1領域101の側方を取り囲むように形成されていた。それに対して、マイクロLED素子100c_{i,j}に設けられている界面17cは、第1領域101cの側方のみを取り囲むように形成されている。

【 0 1 1 6 】

本変形例の製造方法S1に含まれる第1の堆積工程S11は、第2の変形例の製造方法S1に含まれる第1の堆積工程S11と同一である。したがって、図7の(a)に示すように、成長基板1の上に窒化物半導体層13と透明導電層14bとがこの順番で堆積される。ただし、マイクロLED素子100b_{i,j}が備えているN型層10、発光層11、P型層12、窒化物半導体層13、及び透明導電層14bに対応する各部材を、本変形例では、それぞれ、N型層10c、発光層11c、P型層12c、窒化物半導体層13c、及び透明導電層14cと称する。また、マイクロLED素子100b_{i,j}が備えている透明P側電極層15b、界面17、及び埋込層20に対応する各部材を、本変形例では、それぞれ、透明P側電極層15c、界面17c、及び埋込層20cと称する。

40

【 0 1 1 7 】

50

本変形例の製造方法 S 1 に含まれる第 1 のエッチング工程 S 1 2 は、図 7 に示した第 1 のエッチング工程 S 1 2 と同じ手法を用いて実施する。しかし、図 8 の (a) に示すように、第 1 のエッチング工程 S 1 2 において形成する溝部 1 6 c の形状は、図 7 の (b) に示した溝部 1 6 の形状と異なる。具体的には、溝部 1 6 は、その側壁の全ての部分 (第 1 領域 1 0 1 に対応する部分、発光層 1 1 に対応する部分、及び P 型層 1 2 に対応する部分) と、発光層 1 1 の表面とのなす角度が 4 5 度となるように、形成されている。それに対して、溝部 1 6 c は、その側壁のうち第 1 領域 1 0 1 c に対応する部分と、発光層 1 1 c の表面とのなす角度が 4 5 度となるように、且つ、その側壁のうち、発光層 1 1 c に対応する部分及び P 型層 1 2 c に対応する部分と、発光層 1 1 c の表面とのなす角度が約 9 0 度となるように、形成されている。したがって、角度 θ_1 が 4 5 度である界面 1 7 c は、第 1 領域 1 0 1 c のみを取り囲む。

10

【 0 1 1 8 】

溝部 1 6 c をこのように構成することによって、マイクロ LED 素子 1 0 0 b_{i,j} と比較して、マイクロ LED 素子 1 0 0 c_{i,j} は、発光層 1 1 c の面積及び P 型層 1 2 c の面積を大きくすることができる。

【 0 1 1 9 】

本変形例の製造方法 S 1 に含まれる第 2 の堆積工程 S 1 3 及び研磨工程 S 1 4 は、図 7 に記載の第 2 の堆積工程 S 1 3 及び研磨工程 S 1 4 と同じ工程である (図 8 の (b) 参照) 。

20

【 0 1 2 0 】

本変形例の製造方法 S 1 においても、透明 P 側電極層 1 5 b は、除去しない。

【 0 1 2 1 】

本変形例の製造方法 S 1 に含まれる P 側電極形成工程 S 1 6 は、図 7 に記載の P 側電極形成工程 S 1 6 と同じ工程である (図 8 の (c) 参照) 。

【 0 1 2 2 】

本変形例の製造方法 S 1 に含まれる第 2 のエッチング工程 S 1 7 は、図 7 に記載の第 2 のエッチング工程 S 1 7 と同じ工程である (図 8 の (d) 参照) 。

【 0 1 2 3 】

また、複数のマイクロ LED 素子 1 0 0 c_{i,j} によって構成されたマイクロ LED 素子アレイ 1 0 0 c を用いて画像表示素子を製造する製造方法としては、図 4 に記載の製造方法 S 2 を適用することができる。

30

【 0 1 2 4 】

〔 第 3 の実施例 〕

本発明の第 3 の実施例であるマイクロ LED 素子 1 0 0 c_{i,j} について、以下に説明する。本実施例のマイクロ LED 素子 1 0 0 c_{i,j} は、本発明の第 1 の実施例であるマイクロ LED 素子 1 0 0 i_{i,j} の構成をベースとし、保護マスク 1 5 の代わりに透明 P 側電極層 1 5 c を備えている点と、界面 1 7 c が第 1 領域 1 0 1 c の側方のみを取り囲んでいる点とが異なる。

【 0 1 2 5 】

本実施例のマイクロ LED 素子 1 0 0 c_{i,j} の光出力は、界面 1 7 を省略したマイクロ LED 素子 1 0 0 の光出力と比較して、5 0 % 程度向上した。本実施例のマイクロ LED 素子 1 0 0 c_{i,j} の内部量子効率、界面 1 7 c を省略したマイクロ LED 素子 1 0 0 の内部量子効率 (7 0 %) を上回り 7 3 % であった。本実施例のマイクロ LED 素子 1 0 0 c_{i,j} の光取り出し効率は、2 5 % であり、界面 1 7 c を省略したマイクロ LED 素子 1 0 0 の光取り出し効率 (1 5 %) より大幅に向上した。

40

【 0 1 2 6 】

この様に、界面 1 7 c は、少なくとも第 1 領域 1 0 1 c の側方のみを取り囲む領域に形成されていれば光取り出し効率を向上させる効果を奏する。したがって、マイクロ LED 素子 1 0 0 i_{i,j}、マイクロ LED 素子 1 0 0 a_{i,j}、及びマイクロ LED 素子 1 0 0 b_{i,j} のように界面 1 7 は、第 1 領域 1 0 1、発光層 1 1、及び P 型層 1 2 の側方を取り囲む領域

50

に形成されていても良いし、マイクロLED素子100c_{i,j}のように界面17cは、第1領域101cのみを取り囲む領域のみに形成されていても良い。

【0127】

< 第2の実施形態 >

(マイクロLED素子100d_{i,j}の構成)

以下に、本発明の第2の実施形態に係るマイクロLED素子100d_{i,j}を光源として搭載する画像表示素子200dについて、図9～図13を参照して説明する。

【0128】

図9の(a)は、マイクロLED素子100d_{i,j}を複数備えた画像表示素子200dの断面図である。図9の(b)は、マイクロLED素子100d_{i,j}をP側電極層30d及びN側電極層40dの側から見た場合の平面図である。図10は、マイクロLED素子100d_{i,j}の製造方法S101のフローチャートである。図11の(a)～(e)は、製造方法S101の各ステップにおけるマイクロLED素子100d_{i,j}の断面図である。図12は、画像表示素子200dの製造方法S102のフローチャートである。図13の(a)～(c)は、製造方法S102の各ステップにおける画像表示素子200dの断面図である。なお、図9に図示した座標系は、図1に図示した座標系と同様に定められている。

10

【0129】

また、マイクロLED素子100d_{i,j}を構成する各部材には、第1の実施形態に係るマイクロLED素子100_{i,j}を構成する各部材の部材番号の末尾にアルファベットの「d」を付した部材番号を付している。例えば、マイクロLED素子100d_{i,j}が備えているN型層10d、発光層11d、P型層12d、及び窒化物半導体層13dは、それぞれ、マイクロLED素子100_{i,j}が備えているN型層10、発光層11、P型層12、及び窒化物半導体層13に対応する。これら以外の部材についても同様である。なお、本実施形態においては、第1の実施形態にて説明した部材と同じ機能を有する部材については、その説明を省略する。

20

【0130】

図9に示すように、マイクロLED素子100d_{i,j}は、窒化物半導体層13dと、埋込層20dと、P側電極層30dと、N側電極層40dとを備えている。窒化物半導体層13dは、N型層10dと、発光層11dと、P型層12dとによって構成される。窒化物半導体層13dを光出射面の側から見た場合、N型層10d、発光層11d、及びP型層12dの順番で積層されている。

30

【0131】

N型層10dは、第1領域101dと第2領域102とを含む。第1領域101d、発光層11d、及びP型層12dの側方は、界面17dによって取り囲まれている。界面17dと、発光層11dの表面とのなす角度 θ_1 は、本実施形態において45度(特許請求の範囲に記載の所定の第1の角度)である。第2領域102dの側方は、界面19dによって取り囲まれている。界面19dと発光層11dの表面とのなす角度 θ_2 は、本実施形態において45度よりも大きい80度である(特許請求の範囲に記載の所定の第2の角度)。界面17d及び界面19dは、それぞれ、特許請求の範囲に記載の第1界面及び第2界面である。

40

【0132】

P側電極層30dは、窒化物半導体層13dのP型層12dの側(下側)に形成されており、P型層12dと接触している。

【0133】

窒化物半導体層13dは、界面17dと界面19dとをつなぐ界面18dを更に有している。界面18dは、特許請求の範囲に記載の第3界面である。界面18dは、マイクロLED素子100d_{i,j}を下方から平面視した場合に、P側電極層30dが形成されている領域以外の領域に形成されている。界面18dと、発光層11dの表面とは、本実施形態において平行であるが、必ずしも平行である事に限らない。

50

【 0 1 3 4 】

第 1 領域 1 0 1 d を取り囲む界面 1 7 d の外側に堆積された埋込層 2 0 d のうち、P 側電極層 3 0 d が形成されている領域以外の領域には、N 側電極層 4 0 d が形成されている。N 側電極層 4 0 d は、界面 1 8 d の一部において接触領域 4 0 1 d が埋込層 2 0 d から露出し、接触領域 4 0 1 d が第 2 領域 1 0 2 d に接触している。

【 0 1 3 5 】

また、図 1 に示した画像表示素子 2 0 0 の場合と同様に、画像表示素子 2 0 0 d は、駆動回路基板 9 0 d と、駆動回路基板 9 0 d の表面上に二次元アレイ状に積層された複数のマイクロ LED 素子 1 0 0 d_{i,j} とを備えている。この二次元アレイ状に配列された複数のマイクロ LED 素子 1 0 0 d_{i,j} のことをマイクロ LED 素子アレイ 1 0 0 d と呼ぶ。

10

【 0 1 3 6 】

複数のマイクロ LED 素子 1 0 0 d_{i,j} の各々は、P 側電極層 3 0 d が接続層 7 0 d を用いて駆動回路側 P 電極 8 0 d に接続されており、且つ、N 側電極層 4 0 d が接続層 7 1 d を用いて駆動回路側 N 電極 8 1 d に接続されている。駆動回路基板 9 0 d の駆動回路から複数のマイクロ LED 素子 1 0 0 d_{i,j} の各々に駆動電流を供給することによって、複数のマイクロ LED 素子 1 0 0 d_{i,j} の各々は、発光する。マイクロ LED 素子 1 0 0 d_{i,j} が発する光の強度は、駆動電流の大小に応じて決まる。なお、マイクロ LED 素子 1 0 0 d_{i,j} は、光の出射側（第 2 領域 1 0 2 の光出射面よりも z 軸正方向側）に配置された波長変換層や、光拡散層、カラーフィルター等を更に有していても良いが、マイクロ LED 素子 1 0 0 d_{i,j} とは直接関係しない為、図中には記載しない。

20

【 0 1 3 7 】

上述したように、窒化物半導体層 1 3 d のうち第 1 領域 1 0 1 d、発光層 1 1 d、及び P 型層 1 2 d の側方は、界面 1 7 d によって、全周が覆われている。マイクロ LED 素子 1 0 0 d_{i,j} は、平面視した場合に、その輪郭が長方形となるように構成されている。この場合、界面 1 7 d は、4 枚の平面により構成されている。これら 4 枚の平面は、底面が長方形である四角錐台の側面を構成するように配置される。

【 0 1 3 8 】

なお、マイクロ LED 素子 1 0 0 d_{i,j} の平面視した場合の輪郭は、長方形（正方形を含む）の代わりに他の多角形（例えば正六角形）でも良いし、円形でも良いし、楕円形でも良い。この点は、マイクロ LED 素子 1 0 0 d_{i,j} と同じである。また、角度 θ_1 及び角度 θ_2 が、それぞれ、角度 $\theta_1 \pm 10$ 度の範囲及び角度 $\theta_2 \pm 10$ 度の範囲に含まれていれば良い点もマイクロ LED 素子 1 0 0 d_{i,j} と同じである。また、角度 θ_2 が垂直に近いことが好ましい点もマイクロ LED 素子 1 0 0 d_{i,j} と同じである。

30

【 0 1 3 9 】

図 9 の (a) に示すように、界面 1 7 d の外側と、P 型層 1 2 の下方の一部とは、埋込層 2 0 d によって覆われている。埋込層 2 0 d の下端面 2 0 1 d は、x y 平面に沿い、平坦になるように研磨されている（図 1 0 に記載の研磨工程 S 1 1 4 参照）。すなわち、下端面 2 0 1 d は、高い表面平坦性を有する。

【 0 1 4 0 】

また、埋込層 2 0 d は、可視光に対して透明であり、且つ、屈折率が窒化物半導体層 1 3 を構成する物質の屈折率よりも小さな物質により構成されていることが好ましい。埋込層 2 0 d を構成する好ましい物質の例としては、SiO₂ が挙げられる。

40

【 0 1 4 1 】

埋込層 2 0 d がマイクロ LED 素子 1 0 0 d_{i,j} の下部を平坦化している事で、P 側電極層 3 0 d と N 側電極層 4 0 d をマイクロ LED 素子 1 0 0 d の下面のほぼ全体に配置でき、最大限に電極面積を拡大できる。また、埋込層 2 0 d の表面平坦性を受け継ぎ、P 側電極層 3 0 d と N 側電極層 4 0 d は平坦な表面を有している。広く平坦な電極表面を実現する事で、駆動回路基板 9 0 d との接続を容易にする事が出来る。

【 0 1 4 2 】

〔 第 4 の実施例 〕

50

本発明の第4の実施例であるマイクロLED素子100d_{i,j}について、以下に説明する。本実施例のマイクロLED素子100d_{i,j}は、図9に示したマイクロLED素子100d_{i,j}において、以下の構成を採用したものである。

- ・平面視した場合の輪郭：短辺の長さが7μm、長辺の長さが14μmの長方形
- ・ $T_p = 100\text{nm}$
- ・ $T_{mqw} = 70\text{nm}$
- ・ $T_{n1} = 1500\text{nm}$
- ・ $\theta_1 = 45\text{度}$

また、本実施例のマイクロLED素子100d_{i,j}の構成から界面17dを省略したマイクロLED素子を、第2の比較例として用いた。

10

【0143】

それぞれに同一の駆動電流を供給した状態において、本実施例のマイクロLED素子100d_{i,j}及び第2の比較例のマイクロLED素子の光出力を測定した。その結果、本実施例のマイクロLED素子100d_{i,j}の光出力は、第2の比較例のマイクロLED素子の光出力に対して220%であった。

【0144】

第2の比較例のマイクロLED素子と比較して、マイクロLED素子100d_{i,j}の光出力が顕著に増加した理由は、マイクロLED素子100d_{i,j}において光出力が増加した理由と同様であると、本願の発明者は推測している。

【0145】

マイクロLED素子100d_{i,j}においては、発光層11dの面積は、マイクロLED素子100d_{i,j}の面積と比較して、大幅に縮小されている。本実施例では、マイクロLED素子100d_{i,j}の面積に対する発光層11dの面積の割合は、

$$\{7000 - (70 + 1500) * 2\} * \{7000 - (70 + 1500) * 2 - 1000\} / (7000 * 13000) = 0.418$$

となり、約42%程度となる。なお、界面17dの有無に関係無く、N側電極層40dをN型層10dに接触させるための領域は、必要である。上記の計算において、この領域は、除外している。

【0146】

更に、窒化物半導体層13dをドライエッチングによって、発光層11dの周辺部がダメージを受ける為、実効的に発光に寄与する発光層11dの面積は更に小さいと考えられる。また、これらのダメージ部分が非発光で電流を消費する為、発光効率の低下が生じると推測される。このような効果は、マイクロLED素子100d_{i,j}の内部量子効率の低下として現れる。外部量子効率の電流依存性のデータより、内部量子効率と光取出し効率を分離し、内部量子効率を評価した。その結果、本実施例のマイクロLED素子100d_{i,j}の内部量子効率、及び、第2の比較例のマイクロLED素子の内部量子効率は、それぞれ、69.5%と71%であり、両者に大きな違いはなかった。従って、発光効率の2倍以上の向上は、主に光取出し効率の向上によっている事が分かった。

30

【0147】

一方で、発光層11dの面積は、第2の比較例のマイクロLED素子が備えている発光層の面積に対して1/2.4程度である。通常、発光層11dの面積が縮小された場合、内部量子効率は、大幅に小さくなる筈である。しかし、本実施例のマイクロLED素子100d_{i,j}の内部量子効率が第2の比較例のマイクロLED素子の内部量子効率と比較して大きく劣化しなかったのは、発光層11dに対するダメージを大幅に低減できた為と推測する。

40

【0148】

本構造では、P型層12dの面積が、マイクロLED素子100d_{i,j}の面積に対して、大幅に小さい。それに関わらず、P側電極層30dの面積とN側電極層40dの面積との和は、マイクロLED素子100d_{i,j}の面積とほぼ等しく、且つ、その表面は、平坦である。P型層12dの面積が小さいに関わらず、面積が広く且つ表面が平坦なP側

50

電極層 30d 電極及び N 側電極層 40d を形成できる。この為、マイクロ LED 素子 100d_{i,j} の P 側電極層 30d 電極及び N 側電極層 40d の各々は、接続層 70d 及び接続層 71d の各々を用いて、駆動回路側 P 電極 80d 及び駆動回路側 N 電極 81d の各々に対して安定して強度に接続されている。従って、後述する成長基板剥離工程 S122 (図 12 参照) において成長基板 1d を N 型層 10d から剥離する際に、マイクロ LED 素子 100d_{i,j} が成長基板 1d に引っ張られて、欠落したり、機械的衝撃によって、傾いたりすると言った不良を低減できる。

【0149】

(マイクロ LED 素子 100d_{i,j} の製造方法 S1)

次に、マイクロ LED 素子 100d_{i,j} の製造方法の一例である製造方法 S101 について、図 10 及び図 11 を参照して説明する。

10

【0150】

図 10 に示すように、製造方法 S101 は、第 1 の堆積工程 S111 と、第 1 のエッチング工程 S112 と、第 2 の堆積工程 S113 と、研磨工程 S114 と、コンタクトホール形成工程 S115 と、電極層形成工程 S116 と、第 2 のエッチング工程 S117 とを含んでいる。

【0151】

第 1 の堆積工程 S111 は、図 2 に示した第 1 の堆積工程 S11 と同様に、成長基板 1d 上に N 型層 10d、発光層 11d、及び P 型層 12d をこの順番で堆積することによって窒化物半導体層 13d を得る工程である。成長基板 1d は、製造方法 S1 において用いた成長基板 1 と同様に構成されている。また、N 型層 10d、発光層 11d、及び P 型層 12d からなる窒化物半導体層 13d は、製造方法 S1 において用いた N 型層 10、発光層 11、及び P 型層 12 からなる窒化物半導体層 13 と同様に構成されている。

20

【0152】

第 1 のエッチング工程 S112 は、図 11 の (a) に示すように、窒化物半導体層 13d の一部をエッチングすることにより溝部 16d を形成し、N 型層 10d 内に、その側方がエッチングされた第 1 領域 101d と、第 1 領域 101d 以外の領域である第 2 領域 102d とを設ける工程である。第 1 のエッチング工程 S112 は、製造方法 S1 に含まれる第 1 のエッチング工程 S12 と同様に実施される。

【0153】

第 2 の堆積工程 S113 は、溝部 16d に埋込層 20d を堆積する工程であり、製造方法 S1 に含まれる第 2 の堆積工程 S13 と同様に実施される。

30

【0154】

研磨工程 S114 は、埋込層 20d の表面を研磨することによって、埋込層 20d の表面を平坦に研磨する工程である。埋込層 20d の表面を研磨する手法としては、例えば CMP (化学機械的研磨) 法を採用することができる。ここで、埋込層 20d の一部が P 型層 12d 上に一定膜厚残る様に、CMP の研磨量を調節する。P 型層 12d 上に残る埋込層 20d の膜厚は、50nm 程度から 1000nm 程度である。

【0155】

これらの第 2 の堆積工程 S113 及び研磨工程 S114 を実施することによって、図 11 の (b) に示すように、埋込層 20d の表面が平坦に研磨された構造が得られる。

40

【0156】

コンタクトホール形成工程 S115 は、図 11 の (c) に示すように、P 型層 12 上に堆積している埋込層 20d にコンタクトホール 20d1 を形成し、且つ、溝部 16d の上に堆積している埋込層 20d にコンタクトホール 20d2 を形成する工程である。

【0157】

電極層形成工程 S116 は、図 11 の (d) に示すように、コンタクトホール 20d1 の内部及び埋込層 20d の表面上に P 側電極層 30d を形成し、且つ、コンタクトホール 20d2 の内部及び埋込層 20d の表面上に N 側電極層 40d を形成する工程である。コンタクトホール 20d2 のアスペクト比が高い場合には、コンタクトホール 20d2 の内

50

部にタングステンプラグを埋め込んでも良い。アスペクト比が1以上である場合には、タングステンプラグを埋め込むことが好ましい。アスペクト比が1未満である場合には、通常の薄膜堆積法を用いることによって、N側電極層40dを形成することができる。

【0158】

第2のエッチング工程S117は、図11の(e)に示すように、埋込層20d及び第2領域102dの一部をドライエッチングすることによって、成長基板1dの一部を露出させる工程である。第2のエッチング工程S117を実施することにより、溝部50dが形成される。第2のエッチング工程S117は、製造方法S1に含まれる第2のエッチング工程S17と同様に実施される。

【0159】

以上の工程により、1枚の成長基板1d上に形成された窒化物半導体層13d及び埋込層20dは、二次元アレイ状に配列された複数のマイクロLED素子100d_{i,j}に分割される。すなわち、マイクロLED素子アレイ100dが得られる。

【0160】

(画像表示素子200dの製造方法S2)

次に、複数のマイクロLED素子100d_{i,j}を備えたマイクロLED素子アレイ100dを用いた画像表示素子200dの製造方法の一例である製造方法S102について、図12及び図13を参照して説明する。

【0161】

製造方法S102に先駆けて、マイクロLED素子100d_{i,j}を駆動する駆動回路が作り込まれた駆動回路基板90dを準備する。駆動回路基板90dの表面には、マイクロLED素子100d_{i,j}に電流を流す為の駆動回路側P電極80dと駆動回路側N電極81dが設けられている。駆動回路基板90dの内部には各マイクロLED素子100d_{i,j}を選択し、所定の電流を流す為の各種回路が作り込まれているが、本発明とは直接関係無い。その為、ここではそれらの説明を省略する。駆動回路基板90dはシリコンLSIその物であっても良いし、ガラスやフィルム上に形成されたTFTを含んでも良い。

【0162】

製造方法S102は、図12に示すように、実装工程S121と、成長基板剥離工程S122と、充填工程S123とを含んでいる。

【0163】

実装工程S121は、図13の(a)に示すように、マイクロLED素子アレイ100dを駆動回路基板90dに実装する工程である。実装工程S21において、駆動回路側P電極80dの上に、接続層70dが形成され、且つ、駆動回路側N電極81dの上に、接続層71dが形成される。その上にマイクロLED素子アレイ100dを貼り付けることによって、P側電極層30dは、接続層70dを介して駆動回路側P電極80dと導通し、且つ、N側電極層40dは、接続層71dを介して駆動回路側N電極81dと導通する。

【0164】

なお、マイクロLED素子100d_{i,j}においては、P側電極層30d及びN側電極層40dの各々は、離間している。同様に、駆動回路側P電極80d及び駆動回路側N電極81dの各々も離間しており、接続層70d及び接続層71dの各々も離間している。その結果、P側電極層30d、接続層70d、及び駆動回路側P電極80dと、N側電極層40d、接続層71d、及び駆動回路側N電極81dとの間には、空隙51dが形成される。

【0165】

成長基板剥離工程S122は、図13の(b)に示すように、レーザー剥離法によって、成長基板1をマイクロLED素子アレイ100dより剥離する工程であり、製造方法S2に含まれる成長基板剥離工程S22と同様に実施される。

【0166】

充填工程S123は、図13の(c)に示すように、溝部50dに充填剤60dを充填

10

20

30

40

50

し、空隙 5 1 d に充填剤 6 1 d を充填する工程であり、製造方法 S 2 に含まれる充填工程 S 2 3 と同様に実施される。

【 0 1 6 7 】

< 第 3 の実施形態 >

以下に、本発明の第 3 の実施形態に係るマイクロ L E D 素子 1 0 0 e_{i,j} について、図 1 4 ~ 図 1 5 を参照して説明する。

【 0 1 6 8 】

図 1 4 は、マイクロ L E D 素子 1 0 0 e_{i,j} の製造方法 S 2 0 1 のフローチャートである。図 1 5 の (a) ~ (f) は、製造方法 S 2 0 1 の各ステップにおけるマイクロ L E D 素子 1 0 0 e_{i,j} の断面図である。

10

【 0 1 6 9 】

なお、説明の便宜上、本発明の第 2 の変形例にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を省略する。

【 0 1 7 0 】

例えば、マイクロ L E D 素子 1 0 0 e_{i,j} が備えている N 型層 1 0、発光層 1 1、P 型層 1 2、窒化物半導体層 1 3、及び透明 P 側電極層 1 5 b は、それぞれ、マイクロ L E D 素子 1 0 0 b_{i,j} における N 型層 1 0、発光層 1 1、P 型層 1 2、窒化物半導体層 1 3、及び透明 P 側電極層 1 5 b と同一である。また、マイクロ L E D 素子 1 0 0 e_{i,j} が備えている保護層 2 0 e 及び P 側電極層 3 0 e は、それぞれ、マイクロ L E D 素子 1 0 0 b_{i,j} における埋込層 2 0 及び P 側電極層 3 0 b に対応する。

20

【 0 1 7 1 】

本発明の第 2 の変形例であるマイクロ L E D 素子 1 0 0 b_{i,j} では、埋込層 2 0 の表面を平坦化する事で、少なくとも P 側電極層 3 0 b の表面を平坦化することによって、駆動回路基板 9 0 との強固な接続を実現していた。マイクロ L E D 素子 1 0 0 e_{i,j} では、埋込層 2 0 の代わりに膜厚が略一定な保護層 2 0 e を用い、その上で、P 側電極層 3 0 e の表面を平坦化することによって、マイクロ L E D 素子 1 0 0 e_{i,j} と同様の効果を得ている。本実施形態では、保護層 2 0 e 及び P 側電極層 3 0 e について主に説明する。

【 0 1 7 2 】

図 1 4 に示すように、製造方法 S 2 0 1 は、第 1 の堆積工程 S 2 1 1 と、第 1 のエッチング工程 S 2 1 2 と、第 2 の堆積工程 S 2 1 3 と、コンタクトホール形成工程 S 2 1 4 と、P 側電極形成工程 S 2 1 5 と、研磨工程 S 2 1 6 と、P 側電極層パターニング工程 S 2 1 7 と、第 2 のエッチング工程 S 2 1 8 とを含んでいる。

30

【 0 1 7 3 】

第 1 の堆積工程 S 2 1 1 及び第 1 のエッチング工程 S 2 1 2 は、それぞれ、本発明の第 2 の変形例において実施する第 1 の堆積工程 S 1 1 及び第 1 のエッチング工程 S 1 2 と同じである。したがって、図 1 5 の (a) に示した構造は、図 7 の (b) に示した構造と同一である。

【 0 1 7 4 】

第 2 の堆積工程 S 2 1 3 は、図 1 5 の (b) に示すように、窒化物半導体層 1 3 の上に膜厚が略一定な保護層 2 0 e を堆積する工程である。保護層 2 0 e の膜厚は、1 0 0 n m から 1 5 0 0 n m 程度である。保護層 2 0 e を形成した段階では、保護層 2 0 e の表面に、溝部 1 6 の形状を反映した凹凸が有る。

40

【 0 1 7 5 】

コンタクトホール形成工程 S 2 1 4 は、図 1 5 の (c) に示すように、保護層 2 0 e のうち透明 P 側電極層 1 5 b 上の領域にコンタクトホール 2 1 e を形成する工程である。

【 0 1 7 6 】

P 側電極形成工程 S 2 1 5 は、保護層 2 0 e の表面上及び保護層 2 0 e から露出した透明 P 側電極層 1 5 b の表面上に導電体を堆積することによって P 側電極層 3 0 e を形成する工程である。ここで用いる導電体としては、ニッケルや、アルミニウム、チタン、窒化チタン、アルミニウム銅合金等を採用することができる。P 側電極層 3 0 e は、これ

50

らの導電体からいくつかの導電体を順次堆積することによって得られる多層膜であることが好ましい。

【0177】

研磨工程S216は、P側電極層30eの表面を研磨することによって、この表面を平坦にする工程である。P側電極形成工程S215及び研磨工程S216を実施することにより、図15の(d)に示した構造が得られる。研磨工程S216は、図2に示した研磨工程S14と同様に実施することができる。

【0178】

また、本実施形態においては、P側電極形成工程S215においてリフロー成膜法を採用し、P側電極層30eの成膜中にその表面を平坦化してもよい。この場合には、P側電極層30eの表面を平坦化する工程がP側電極形成工程S215に含まれることになる。

10

【0179】

P側電極層パターンニング工程S217は、図15の(e)に示すように、P側電極層30eの一部をエッチングすることによって、P側電極層30eを所望の形状にパターンニングする工程である。P側電極層パターンニング工程S217を実施することによって、溝部50eが形成され、隣接するP側電極層30e同士が離間される。

【0180】

第2のエッチング工程S218は、図15の(f)に示すように、保護層20eと第2領域102の一部とをエッチングすることによって溝部50eをより深くし、成長基板1の一部を露出させる工程である。第2のエッチング工程S218は、図7に記載の第2のエッチング工程S17と同様に実施することができる。

20

【0181】

以上の工程により、1枚の成長基板1上に形成された窒化物半導体層13及び保護層20eは、二次元アレイ状に配列された複数のマイクロLED素子100e_{i,j}に分割される。すなわち、マイクロLED素子アレイ100eが得られる。

【0182】

マイクロLED素子100e_{i,j}の光出力は、本発明の第2の変形例であるマイクロLED素子100b_{i,j}と同程度の光出力であった。すなわち、マイクロLED素子100e_{i,j}は、マイクロLED素子100b_{i,j}と同様に、光取りだし効率を向上させる効果を奏する。

30

【0183】

なお、本実施形態では、画像表示素子の製造方法に関する詳しい説明を省略する。しかし、マイクロLED素子アレイ100eと駆動回路基板90とを用いて、図4に示した製造方法S2を実施することにより、共通N側電極層40が光出射面103の上に積層された画像表示素子を製造することができる。

【0184】

〔付記事項〕

以上、本発明の実施形態について説明した。なお、上述の実施形態は例示であり、その各構成要素及び各処理の組み合わせに色々な変形が可能であり、本発明の範囲にあることは当業者に理解されるところである。

40

【0185】

また、本発明の各実施形態に係るマイクロLED素子、マイクロLED素子アレイ、及び画像表示素子は、たとえば、プロジェクタや、ヘッドアップディスプレイ、ヘッドマウントディスプレイ、ウェアブル端末等に好適に利用できる。

【0186】

〔まとめ〕

本発明の態様1に係るマイクロLED素子100_{i,j}、100a_{i,j}、100b_{i,j}、100c_{i,j}、100d_{i,j}、100e_{i,j}は、光出射面103、103c、103dの側から見てN型層10、10c、10d、発光層11、11c、11d、及びP型層12、12c、12dがこの順番で積層された窒化物半導体層13、13c、13dと、P型層1

50

2, 12c, 12d側に形成されたP側電極層30, 30a, 30b, 30c, 30d, 30eとを備えている。

【0187】

N型層10, 10c, 10dは、発光層11, 11c, 11dに接する第1領域101, 101c, 101dと、光出射面103, 103c, 103dを含む第2領域102, 102c, 102dとを含み、窒化物半導体層13, 13c, 13dのうち少なくとも第1領域101, 101c, 101dの側方を取り囲む第1界面(界面17, 17c, 17d)と発光層11, 11c, 11dとのなす角度 θ_1 は、発光層11, 11c, 11dに沿う方向(例えばx軸方向又はy軸方向)へ伝搬する光を光出射面103, 103c, 103dへ向かう方向(z軸正方向)へ反射する、所定の第1の角度(例えば $\theta_1 = 45$ 度)であり、窒化物半導体層13, 13c, 13dのうち第2領域102, 102c, 102dの側方を取り囲む第2界面(界面19, 19d)と発光層11, 11c, 11dとのなす角度 θ_2 は、第1の角度(例えば45度)より大きい所定の第2の角度である、ことを特徴とする。

10

【0188】

上記の構成によれば、第1界面(界面17, 17c, 17d)は、発光層11, 11c, 11dに沿う方向へ伝搬する光を光出射面103, 103c, 103dへ向かう方向へ反射する。したがって、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、第1界面(界面17, 17c, 17d)が設けられていないマイクロLED素子と比較して、光取りだし効率を向上させる効果を奏する。換言すれば、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を抑制することができる。

20

【0189】

本発明の態様2に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様1において、第1の角度は、45度を中心とする所定の範囲に含まれる角度(例えば θ_1 は、 45 ± 10 度の範囲に含まれる)であることが好ましい。

【0190】

上記の構成によれば、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を確実に抑制することができる。なお、第1界面(界面17, 17c, 17d)を形成するためのエッチングを実施した場合、エッチングの精度に起因する角度 θ_1 の揺らぎは、 ± 10 度程度であると見積もられる。したがって、実際に製造されたマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}における角度 θ_1 は、所定の角度である角度 θ_1 に限定されず、角度 $\theta_1 \pm 10$ 度の範囲に含まれていれば良い。なお、上述した角度 θ_1 の揺らぎは、第1のエッチング工程において採用するエッチング手法に依存して変化する。

30

【0191】

本発明の態様3に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様1において、第1の角度は、35度以上55度以下の範囲に含まれる角度であることが好ましい。

40

【0192】

上記の構成によれば、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下を確実に抑制することができる。

【0193】

本発明の態様4に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様1~3の何れが一態様において、第

50

第1領域101, 101c, 101dの厚さ t_{n1} は、P型層12, 12c, 12dの厚さ t_p よりも厚いことが好ましい。

【0194】

上記の構成によれば、第1界面(界面17, 17c, 17d)は、発光層から光出射面103, 103c, 103dへ向かう方向(z軸方向)に沿って十分に広い領域に形成されている。そのため、第1界面(界面17, 17c, 17d)は、発光層11, 11c, 11dに沿う方向へ伝搬する光に加えて、発光層11, 11c, 11dに対してz軸正方向側への仰角を有する方向へ伝搬する光も光出射面103, 103c, 103dへ向かう方向へ反射することができる。したがって、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下をより確実に抑制することができる。

10

【0195】

本発明の態様5に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様1~4の何れが一態様において、第1界面(界面17, 17d)は、第1領域101, 101dの側方に加えて、発光層11, 11dの側方及びP型層12, 12dの側方を取り囲む、ように構成されていることが好ましい。

【0196】

上記の構成によれば、第1界面(界面17, 17d)は、第1領域101, 101dの側方のみならず発光層11, 11dの側方及びP型層12, 12dの側方を取り囲んでいる。したがって、第1界面(界面17, 17d)は、発光層11に沿う方向へ伝搬する光と、発光層11, 11dに対してz軸正方向側への仰角を有する方向へ伝搬する光とに加えて、発光層11, 11dに対してz軸負方向側への仰角を有する方向へ伝搬する光も光出射面103, 103dへ向かう方向へ反射することができる。したがって、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100d_{i,j}, 100e_{i,j}は、そのサイズを微細化した場合であっても、従来のマイクロLED素子と比較して、発光効率の低下をより確実に抑制することができる。

20

【0197】

本発明の態様6に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様1~5の何れが一態様において、P側電極層30, 30a, 30b, 30c, 30d, 30eの側から平面視した場合に、P側電極層30, 30a, 30b, 30c, 30d, 30eは、発光層11, 11c, 11dの全体を覆う領域に形成されている、ことが好ましい。

30

【0198】

上記の構成によれば、P型層12, 12c, 12dの面積が小さいにも関わらず、面積が広いP側電極層30, 30a, 30b, 30c, 30d, 30eを形成できる為、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、接続層70, 70dを用いて駆動回路側P電極80, 80dと安定して強固に接続されている。したがって、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}の製造工程において生じ得る不良の発生頻度を抑制することができる。更に、製造工程(特に第2のエッチング工程S17, S17, S218)において生じ得る発光層11, 11c, 11dへのダメージを低減し、内部量子効率を向上し、発光効率を向上する事が出来る。

40

【0199】

本発明の態様7に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、上記態様6において、P側電極層30, 30a, 30b, 30c, 30d, 30eの前記P型層と逆側の表面は、平坦である、ことが好ましい。

【0200】

上記の構成によれば、P型層12, 12c, 12dの面積が小さいにも関わらず、面積

50

が広く且つ表面が平坦なP側電極層30, 30a, 30b, 30c, 30d, 30eを形成できる為、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}は、接続層70, 70dを用いて駆動回路側P電極80, 80dとより安定してより強固に接続されている。したがって、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}, 100e_{i,j}の製造工程において生じ得る不良の発生頻度を更に抑制することができる。

【0201】

本発明の態様8に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}は、上記態様7において、第1領域101, 101c, 101dの外側と、P側電極層30, 30a, 30b, 30c, 30dとの間には、第1界面(界面17, 17c, 17d)を取り囲む埋込層20, 20c, 20dが形成されており、P側電極層30, 30a, 30b, 30c, 30dと埋込層20, 20c, 20dとの界面(下端面201, 201c, 201d)は、発光層11, 11c, 11dと平行である、事が好ましい。

10

【0202】

P側電極層30, 30a, 30b, 30c, 30dと埋込層20, 20c, 20dとの界面(下端面201, 201c, 201d)が発光層11, 11c, 11dと平行であるため、P側電極層30, 30a, 30b, 30c, 30dの表面を平坦化する必要が無い。従って、比較的薄い電極層であっても発光層11, 11c, 11dと平行になる。その結果として、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}を駆動回路基板90, 90dに実装した場合に、駆動回路基板90, 90dの表面と、発光層11, 11c, 11dとは自動的に平行となる。したがって、上記の構成によれば、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}を駆動回路基板90, 90dに実装する場合に、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100d_{i,j}の傾きに留意する必要がないので、実装作業が容易になる。

20

【0203】

本発明の態様9に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100e_{i,j}は、上記態様1~8の何れか一態様において、N側電極層(共通N側電極層40)が光出射面103, 103c, 103dの側に積層されている、構成を採用していてもよい。

30

【0204】

上記の構成によれば、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100e_{i,j}は、後述する本発明の態様10に係るマイクロLED素子100d_{i,j}と比較して、P側電極層及び発光層の面積を大きくできる為、より小さなマイクロLED素子を容易に製造することができる。

【0205】

また、本発明の態様10に係るマイクロLED素子100d_{i,j}は、上記態様1~8の何れか一態様において、窒化物半導体層13dが第1界面(界面17d)と第2界面(界面19d)とをつなぐ第3界面(界面18d)を更に有し、N側電極層40dが第3界面(界面18d)においてN型層10dの第2領域102dに接触する、ように構成されていてもよい。

40

【0206】

上記の構成によれば、前述した本発明の態様9に係るマイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100e_{i,j}のように、光出射面103, 103c, 103dの上にN側電極層を積層する必要がない。したがって、マイクロLED素子100d_{i,j}は、マイクロLED素子100_{i,j}, 100a_{i,j}, 100b_{i,j}, 100c_{i,j}, 100e_{i,j}と比較して、画像表示素子200dの製造工程に於いて、共通N側電極形成工程を省略する事ができる。その結果、製造工程を単純化し、設備投資を低減し、製造コストを低減する事が出来る。

50

【 0 2 0 7 】

本発明の態様 1 1 に係る画像表示素子 2 0 0 は、上記態様 1 ~ 1 0 の何れか一態様に係る、複数のマイクロ LED 素子 $1 0 0_{i,j}$, $1 0 0 a_{i,j}$, $1 0 0 b_{i,j}$, $1 0 0 c_{i,j}$, $1 0 0 d_{i,j}$, $1 0 0 e_{i,j}$ と、複数のマイクロ LED 素子 $1 0 0_{i,j}$, $1 0 0 a_{i,j}$, $1 0 0 b_{i,j}$, $1 0 0 c_{i,j}$, $1 0 0 d_{i,j}$, $1 0 0 e_{i,j}$ の各々に駆動電流を供給する駆動回路が形成された駆動回路基板 9 0, 9 0 d と、備え、複数のマイクロ LED 素子 $1 0 0_{i,j}$, $1 0 0 a_{i,j}$, $1 0 0 b_{i,j}$, $1 0 0 c_{i,j}$, $1 0 0 d_{i,j}$, $1 0 0 e_{i,j}$ は、駆動回路基板 9 0, 9 0 d 上に二次元アレイ状に積層されている、ことが好ましい。

【 0 2 0 8 】

本発明の態様 1 2 に係る製造方法 S 1, S 1 0 1 は、成長基板 1, 1 d 上に N 型層 1 0, 1 0 c, 1 0 d、発光層 1 1, 1 1 c, 1 1 d、及び P 型層 1 2, 1 2 c, 1 2 d をこの順番で堆積することによって窒化物半導体層 1 3, 1 3 c, 1 3 d を得る第 1 の堆積工程 S 1 1, S 1 1 1 と、窒化物半導体層 1 3, 1 3 c, 1 3 d の一部をエッチングすることにより第 1 の溝部 (溝部 1 6, 1 6 c, 1 6 d) を形成し、N 型層 1 0, 1 0 c, 1 0 d 内に、その側方がエッチングされた第 1 領域 1 0 1, 1 0 1 c, 1 0 1 d と、第 1 領域 1 0 1, 1 0 1 c, 1 0 1 d 以外の領域である第 2 領域 1 0 2, 1 0 2 c, 1 0 2 d と、を設ける第 1 のエッチング工程 S 1 2, S 1 1 2 と、第 1 の溝部 (溝部 1 6, 1 6 c, 1 6 d) に埋込層 2 0, 2 0 c, 2 0 d を堆積する第 2 の堆積工程 S 1 3, S 1 1 3 と、埋込層 2 0, 2 0 c, 2 0 d の表面を研磨する研磨工程 S 1 4, S 1 1 4 と、研磨工程 S 1 4, S 1 1 4 において研磨された表面に P 側電極層を形成する P 側電極形成工程 S 1 5 (電極層形成工程 S 1 1 6) と、埋込層 2 0, 2 0 c, 2 0 d と第 2 領域 1 0 2, 1 0 2 c, 1 0 2 d とをエッチングすることによって、成長基板 1, 1 d の一部を露出させる第 2 の溝部 (溝部 5 0, 5 0 d) を形成する第 2 のエッチング工程 S 1 6, S 1 1 7 と、を含む。

【 0 2 0 9 】

第 1 のエッチング工程 S 1 2, S 1 1 2 は、窒化物半導体層 1 3, 1 3 c, 1 3 d のうち少なくとも第 1 領域 1 0 1, 1 0 1 c, 1 0 1 d の側方を取り囲む第 1 界面 (界面 1 7, 1 7 c, 1 7 d) と発光層 1 1, 1 1 c, 1 1 d とのなす角度 θ_1 が、発光層 1 1, 1 1 c, 1 1 d に沿う方向へ伝搬する光を光出射面 1 0 3, 1 0 3 c, 1 0 3 d へ向かう方向へ反射する、所定の第 1 の角度 (例えば 4 5 度) となるように、第 1 の溝部 (溝部 1 6, 1 6 c, 1 6 d) を形成し、第 2 のエッチング工程 S 1 6, S 1 1 7 は、窒化物半導体層 1 3, 1 3 c, 1 3 d のうち第 2 領域 1 0 2, 1 0 2 c, 1 0 2 d の側方を取り囲む第 2 界面 (界面 1 9, 1 9 c, 1 9 d) と発光層 1 1, 1 1 c, 1 1 d とのなす角度 θ_2 が、第 1 の角度 (例えば 4 5 度) より大きい所定の第 2 の角度となるように、第 2 の溝部 (溝部 5 0, 5 0 d) を形成する、ことを特徴とする。

【 0 2 1 0 】

本発明の態様 1 3 に係る製造方法 S 2 0 1 は、成長基板 1 上に N 型層 1 0、発光層 1 1、及び P 型層 1 2 をこの順番で堆積することによって窒化物半導体層 1 3 を得る第 1 の堆積工程 S 2 1 1 と、窒化物半導体層 1 3 の一部をエッチングすることにより第 1 の溝部 (溝部 1 6) を形成し、N 型層 1 0 内に、その側方がエッチングされた第 1 領域 1 0 1 と、第 1 領域 1 0 1 以外の領域である第 2 領域 1 0 2 とを設ける第 1 のエッチング工程 S 2 1 2 と、窒化物半導体層 1 3 の上に保護層 2 0 e を堆積する第 2 の堆積工程 S 2 1 3 と、第 1 領域 1 0 1 の一部が露出するように保護層 2 0 e にコンタクトホール 2 1 e を形成するコンタクトホール形成工程 S 2 1 4 と、コンタクトホール 2 1 e を覆うように P 側電極層 3 0 e を形成する P 側電極形成工程 S 2 1 5 と、保護層 2 0 e と第 2 領域 1 0 2 とをエッチングすることによって、成長基板 1 の一部を露出させる第 2 の溝部 (溝部 5 0 e) を形成する第 2 のエッチング工程 S 2 1 8 と、を含む。

【 0 2 1 1 】

第 1 のエッチング工程 S 2 1 2 は、窒化物半導体層 1 3 のうち少なくとも第 1 領域 1 0 1 の側方を取り囲む第 1 界面 (界面 1 7) と発光層 1 1 とのなす角度 θ_1 が、発光層 1 1

に沿う方向へ伝搬する光を光出射面 103 へ向かう方向へ反射する、所定の第 1 の角度（例えば 45 度）となるように、第 1 の溝部（溝部 16）を形成し、第 2 のエッチング工程 S218 は、窒化物半導体層 13 のうち第 2 領域 102 の側方を取り囲む第 2 界面（界面 19）と発光層 11 とのなす角度 θ_2 が、第 1 の角度（例えば 45 度）より大きい所定の第 2 の角度となるように、第 2 の溝部（溝部 50e）を形成する、ことを特徴とする。

【0212】

上記の構成によれば、画像表示素子 200、製造方法 S1、製造方法 S101、及び製造方法 S201 は、何れも、本発明の態様 1 に係るマイクロ LED 素子 $100_{i,j}$ 、 $100a_{i,j}$ 、 $100b_{i,j}$ 、 $100c_{i,j}$ 、 $100d_{i,j}$ 、 $100e_{i,j}$ と同様の効果を奏する。すなわち、各マイクロ LED 素子 $100_{i,j}$ 、 $100a_{i,j}$ 、 $100b_{i,j}$ 、 $100c_{i,j}$ 、 $100d_{i,j}$ 、 $100e_{i,j}$ のサイズを微細化した場合であっても、画像表示素子 200 は、発光効率の低下を抑制することができる。また、製造方法 S1、製造方法 S101、及び製造方法 S201 は、そのサイズを微細化した場合であっても発光効率の低下を抑制可能なマイクロ LED 素子 $100_{i,j}$ 、 $100a_{i,j}$ 、 $100b_{i,j}$ 、 $100c_{i,j}$ 、 $100d_{i,j}$ 、 $100e_{i,j}$ を製造することができる。

10

【0213】

本発明は上述した各実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本発明の技術的範囲に含まれる。さらに、各実施形態にそれぞれ開示された技術的手段を組み合わせることにより、新しい技術的特徴を形成することができる。

20

【符号の説明】

【0214】

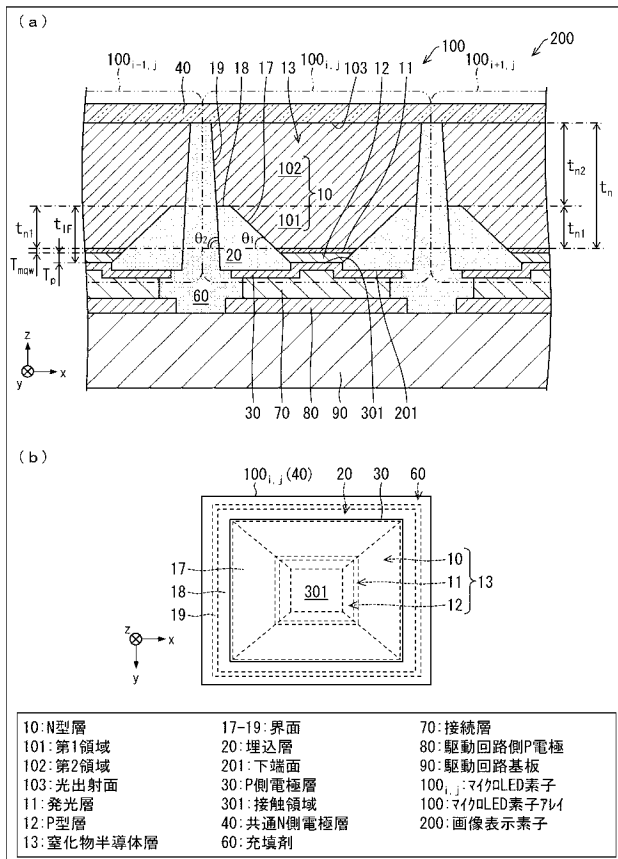
1, 1d 成長基板
 10, 10c, 10d N 型層
 101, 101c, 101d 第 1 領域
 102, 102c, 102d 第 2 領域
 103, 103c, 103d 光出射面
 11, 11c, 11d 発光層
 12, 12c, 12d P 型層
 13, 13c, 13d 窒化物半導体層
 16, 16c, 16d 溝部（第 1 の溝部）
 17, 17c, 17d 界面（第 1 界面）
 18 界面
 18d 界面（第 3 界面）
 19, 19c, 19d 界面（第 2 界面）
 20, 20c, 20d 埋込層
 20e 保護層
 30, 30a, 30b, 30c, 30d, 30e P 側電極層
 40 共通 N 側電極層
 40d N 側電極層
 $100_{i,j}$, $100a_{i,j}$, $100b_{i,j}$, $100c_{i,j}$, $100d_{i,j}$, $100e_{i,j}$ マイク
 ロ LED 素子
 100, 100a, 100b, 100c, 100d, 100e マイクロ LED 素子ア
 レイ
 200 画像表示素子

30

40

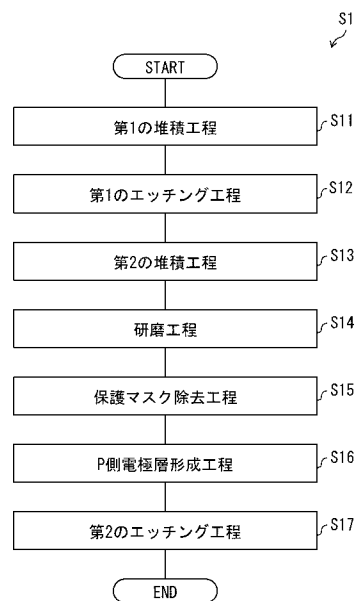
【図 1】

図 1



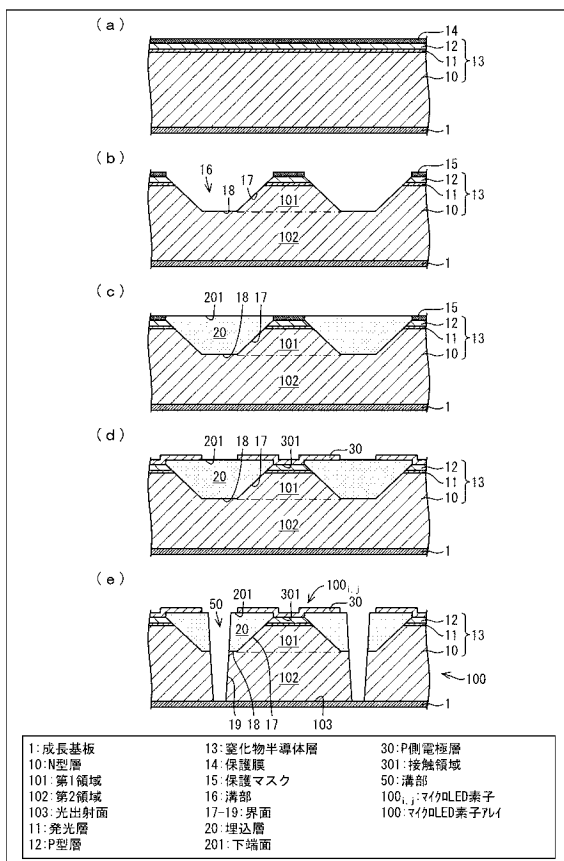
【図 2】

図 2



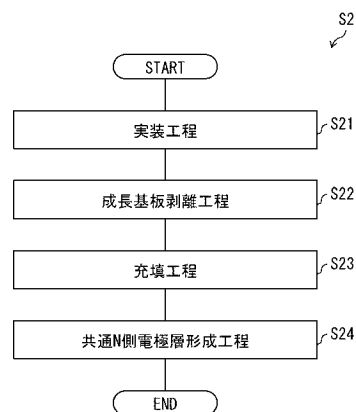
【図 3】

図 3



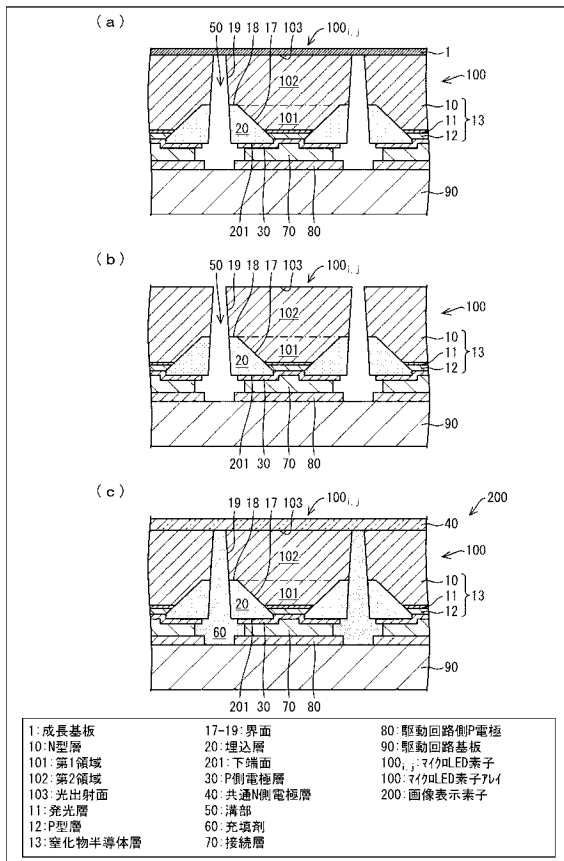
【図 4】

図 4



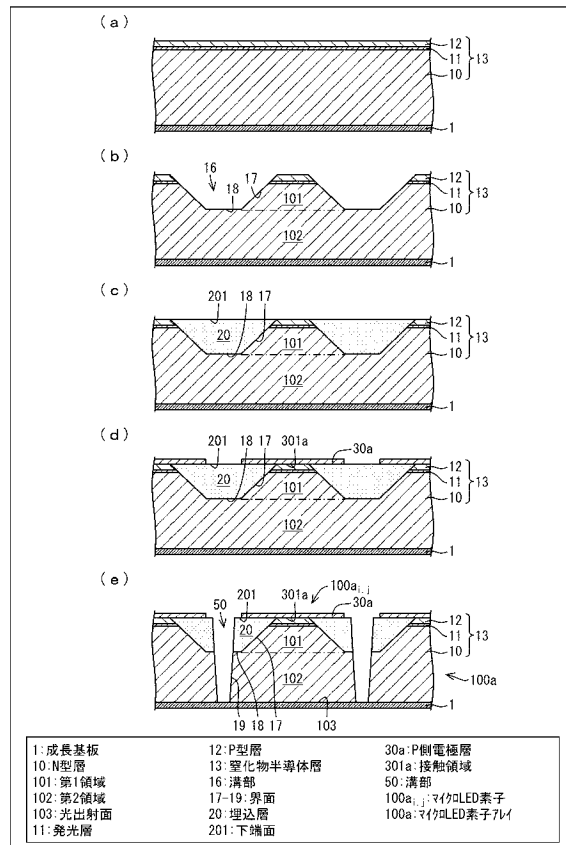
【図 5】

図 5



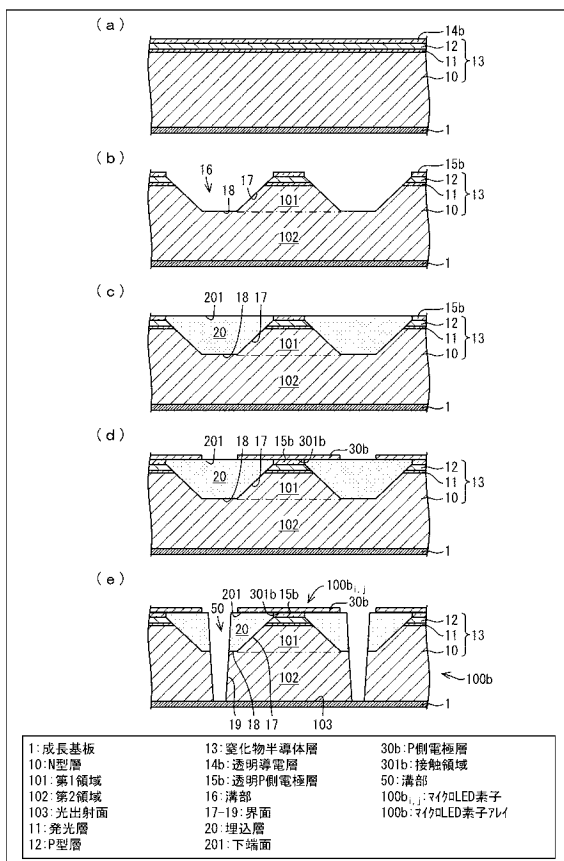
【図 6】

図 6



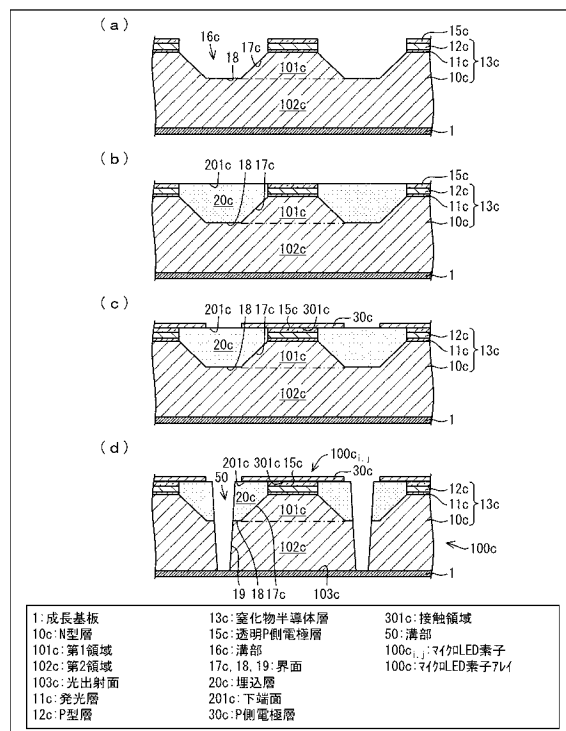
【図 7】

図 7



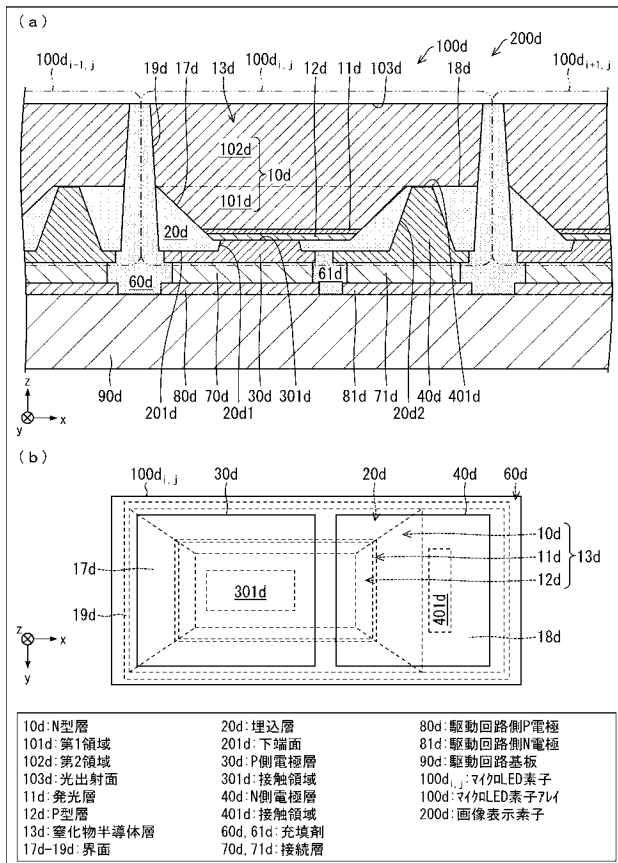
【図 8】

図 8



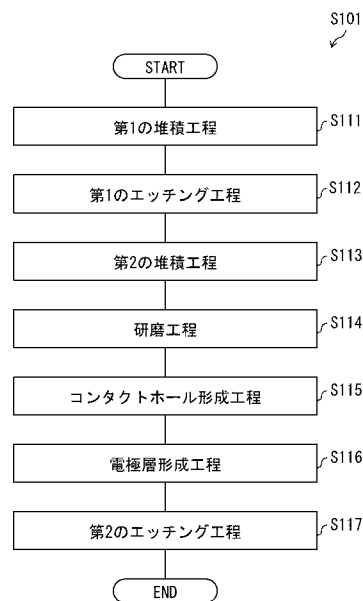
【図 9】

図 9



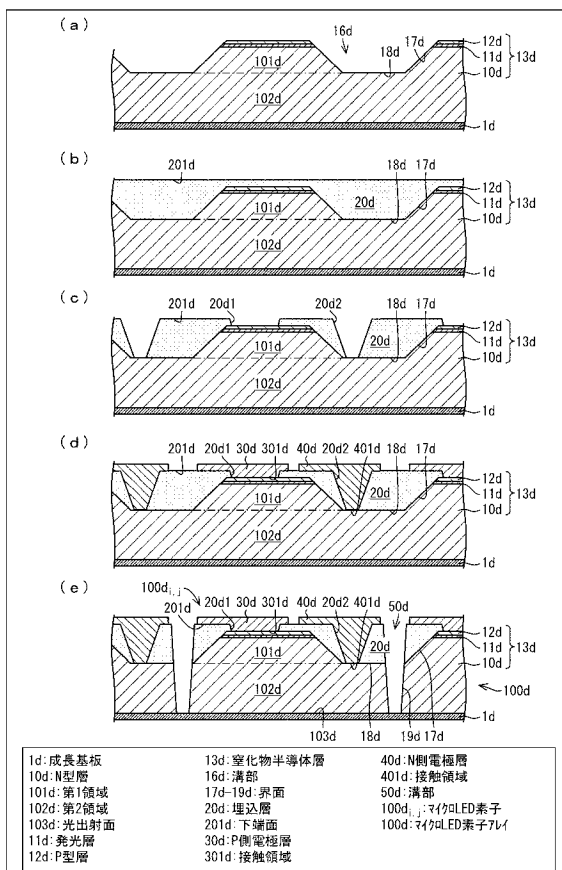
【図 10】

図 10



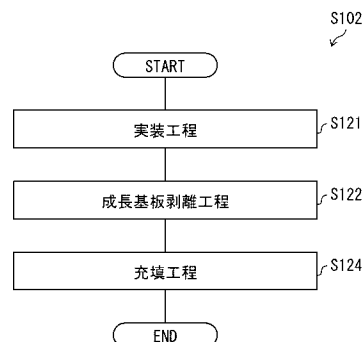
【図 11】

図 11



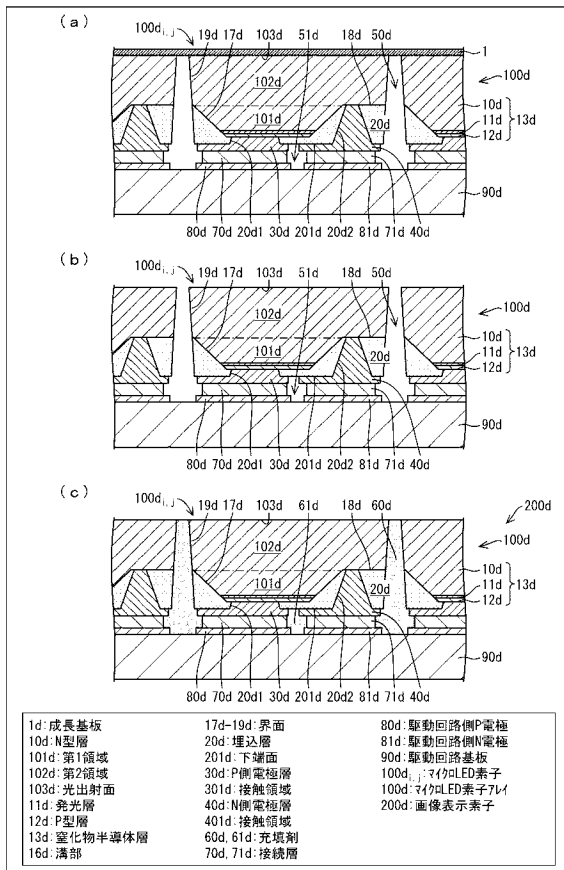
【図 12】

図 12



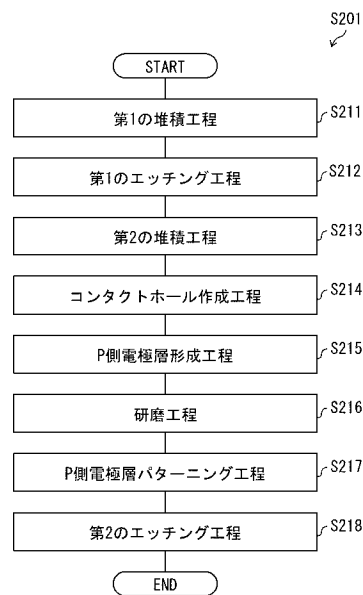
【図 13】

図 13

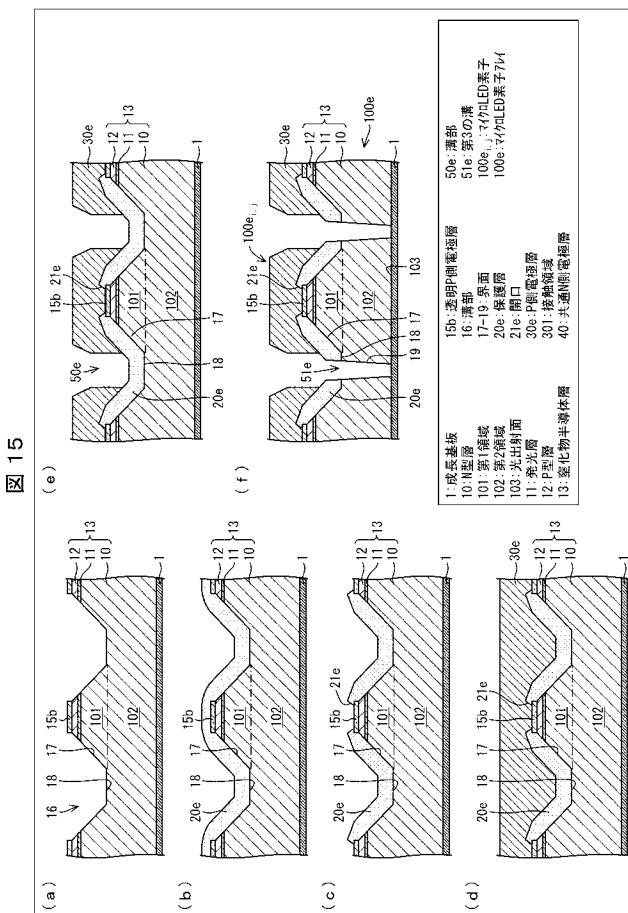


【図 14】

図 14



【図 15】



【手続補正書】

【提出日】平成30年7月19日(2018.7.19)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光出射面の側から見てN型層、発光層、及びP型層がこの順番で積層された窒化物半導体層と、前記P型層側に形成されたP側電極層と、を備えたマイクロLED素子であって、

前記N型層は、前記発光層に接する第1領域と、前記光出射面を含む第2領域とを含み、

前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度であり、

前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度は、前記第1の角度より大きい所定の第2の角度であり、

前記第1界面は透明な埋込層によって取り囲まれており、前記第2界面は前記埋込層によって覆われておらず、前記埋込層の他の側面は、前記光出射面の側から見た場合の全周において前記第2界面と連続して繋がった平面をなすことを特徴とするマイクロLED素子。

【請求項 2】

(削除)

【請求項 3】

(削除)

【請求項 4】

(削除)

【請求項 5】

(削除)

【請求項 6】

光出射面の側から見てN型層、発光層、及びP型層がこの順番で積層された窒化物半導体層と、前記P型層側に形成されたP側電極層と、を備えたマイクロLED素子であって、

前記N型層は、前記発光層に接する第1領域と、前記光出射面を含む第2領域とを含み、

前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度であり、

前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度は、前記第1の角度より大きい所定の第2の角度であり、

前記P側電極層の側から平面視した場合に、当該P側電極層は、前記発光層の全体を覆う領域に形成されている、
ことを特徴とするマイクロLED素子。

【請求項 7】

前記P側電極層の前記P型層と逆側の表面は、平坦である、
ことを特徴とする請求項6に記載のマイクロLED素子。

【請求項 8】

前記第1領域の外側と、前記P側電極層との間には、前記第1界面を取り囲む埋込層が

形成されており、

前記 P 側電極層と前記埋込層との界面は、前記発光層と平行である、
ことを特徴とする請求項 7 に記載のマイクロ LED 素子。

【請求項 9】

(削除)

【請求項 10】

前記窒化物半導体層は、前記第 1 界面と前記第 2 界面とをつなぐ第 3 界面を更に有し、
N 側電極層は、前記第 3 界面において前記 N 型層の前記第 2 領域に接触する、
ことを特徴とする請求項 1 に記載のマイクロ LED 素子。

【請求項 11】

(削除)

【請求項 12】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記第 1 の溝部に埋込層を堆積する第 2 の堆積工程と、

前記埋込層の表面を研磨する研磨工程と、

前記研磨工程において研磨された表面に P 側電極層を形成する P 側電極形成工程と、

前記埋込層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成し、前記第 1 のエッチング工程よりも後に実施される、

ことを特徴とする製造方法。

【請求項 13】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記窒化物半導体層の上に保護層を堆積する第 2 の堆積工程と、

前記第 1 領域の一部が露出するように前記保護層にコンタクトホールを形成するコンタクトホール形成工程と、

前記成長基板とは反対側から平面視した場合に、前記発光層の全体を覆い、且つ、前記コンタクトホールを覆うように P 側電極層を形成する P 側電極形成工程と、

前記保護層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度と

なるように、前記第 2 の溝部を形成し、前記第 1 のエッチング工程よりも後に実施される、
ことを特徴とする製造方法。

【請求項 14】

前記第 1 の角度は、45 度を中心とする所定の範囲に含まれる角度である、
ことを特徴とする請求項 1、6～8、10 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 15】

前記第 1 の角度は、35 度以上 55 度以下の範囲に含まれる角度である、
ことを特徴とする請求項 1、6～8、10 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 16】

前記第 1 領域の厚さは、前記 P 型層の厚さよりも厚い、
ことを特徴とする請求項 1、6～8、10、14、15 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 17】

前記第 1 界面は、前記第 1 領域の側方に加えて、前記発光層の側方及び前記 P 型層の側方を取り囲む、
ことを特徴とする請求項 1、6～8、10、14～16 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 18】

N 側電極層は、前記光出射面の上に積層されている、
ことを特徴とする請求項 1、6～8、14～17 の何れか 1 項に記載のマイクロ LED 素子。

【請求項 19】

請求項 1、6～8、10、14～18 の何れか 1 項に記載の複数のマイクロ LED 素子と、

前記複数のマイクロ LED 素子の各々に駆動電流を供給する駆動回路が形成された駆動回路基板と、備え、

前記複数のマイクロ LED 素子は、前記駆動回路基板上に二次元アレイ状に積層されている、

ことを特徴とする画像表示素子。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正の内容】

【0004】

外周部以外の部分における発光効率より低い。したがって、マイクロ LED 素子の微細化を進めれば進めるほど、マイクロ LED 素子における発光効率が低い部分の割合が高くなり、結果としてマイクロ LED 素子全体としての発光効率が低下する。これは、マイクロ LED 素子の微細化によってマイクロ LED ディスプレイの高精細化、或いは、コスト低減を進めて行く上で、大きな障害となる。

【0015】

本発明は、上記の課題に鑑みてなされたものであり、その目的は、そのサイズを微細化した場合であっても、従来のマイクロ LED 素子と比較して、発光効率の低下を抑制可能なマイクロ LED 素子、及び、そのようなマイクロ LED 素子の製造方法を提供することである。また、その目的は、このようなマイクロ LED 素子を複数備えた画像表示素子を提供することである。

課題を解決するための手段

【0016】

上記の課題を解決するために、本発明の一態様に係るマイクロ LED 素子は、光出射面の

側から見てN型層、発光層、及びP型層がこの順番で積層された窒化物半導体層と、前記P型層側に形成されたP側電極層と、を備えたマイクロLED素子であって、前記N型層は、前記発光層に接する第1領域と、前記光出射面を含む第2領域とを含む。

[0 0 1 7]

当該マイクロLED素子において、前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度であり、前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度は、前記第1の角度より大きい所定の第2の角度であり、前記第1界面は透明な埋込層によって取り囲まれており、前記第2界面は前記埋込層によって覆われておらず、前記埋込層の他の側面は、前記光出射面の側から見た場合の全周において前記第2界面と連続して繋がった平面をなすことを特徴とする。また、前記マイクロLED素子において、前記P側電極層の側から平面視した場合に、当該P側電極層は、前記発光層の全体を覆う領域に形成されている、ことを特徴とする。

[0 0 1 8]

上記の課題を解決するために、本発明の一態様に係る製造方法は、成長基板上にN型層、発光層、及びP型層をこの順番で堆積することによって窒化物半導体層を得る第1の堆積工程と、前記窒化物半導体層の一部をエッチングすることにより第1の溝部を形成し、前記N型層内に、その側方がエッチングされた第1領域と、当該第1領域以外の領域である第2領域とを設ける

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

第1のエッチング工程と、前記第1の溝部に埋込層を堆積する第2の堆積工程と、前記埋込層の表面を研磨する研磨工程と、前記研磨工程において研磨された表面にP側電極層を形成するP側電極形成工程と、前記埋込層と前記第2領域とをエッチングすることによって、前記成長基板の一部を露出させる第2の溝部を形成する第2のエッチング工程と、を含む。

[0 0 1 9]

当該製造方法において、前記第1のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度となるように、前記第1の溝部を形成し、前記第2のエッチング工程は、前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度が、前記第1の角度より大きい所定の第2の角度となるように、前記第2の溝部を形成し、前記第1のエッチング工程よりも後に実施される、ことを特徴とする。

[0 0 2 0]

上記の課題を解決するために、本発明の一態様に係る製造方法は、成長基板上にN型層、発光層、及びP型層をこの順番で堆積することによって窒化物半導体層を得る第1の堆積工程と、前記窒化物半導体層の一部をエッチングすることにより第1の溝部を形成し、前記N型層内に、その側方がエッチングされた第1領域と、当該第1領域以外の領域である第2領域とを設ける第1のエッチング工程と、前記窒化物半導体層の上に保護層を堆積する第2の堆積工程と、前記第1領域の一部が露出するように前記保護層にコンタクトホールを形成するコンタクトホール形成工程と、前記成長基板とは反対側から平面視した場合に、前記発光層の全体を覆い、且つ、前記コンタクトホールを覆うようにP側電極層を形成するP側電極形成工程と、前記保護層と前記第2領域とをエッチングすることによって、前記成長基板の一部を露出させる第2の溝部を形成する第2のエッチング工程と、を含

む。

[0 0 2 1]

当該製造方法において、前記第 1 のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 6

【補正方法】変更

【補正の内容】

【0 0 0 6】

前記第 2 のエッチング工程は、前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成し、前記第 1 のエッチング工程よりも後に実施される、ことを特徴とする。

発明の効果

[0 0 2 2]

本発明の一態様によれば、そのサイズを微細化した場合であっても、従来のマイクロ LED 素子と比較して、発光効率の低下を抑制可能なマイクロ LED 素子、そのようなマイクロ LED 素子を複数備えた画像表示素子、及び、そのようなマイクロ LED 素子の製造方法を提供することができる。

図面の簡単な説明

[0 0 2 3]

[図 1] (a) は、本発明の第 1 の実施形態に係るマイクロ LED 素子を複数備えた画像表示素子の断面図である。(b) は、(a) に示したマイクロ LED 素子を P 側電極層の側から見た場合の平面図である。

[図 2] 図 1 に示したマイクロ LED 素子の製造方法のフローチャートである。

[図 3] (a) ~ (e) は、図 2 に示した製造方法の各ステップにおけるマイクロ LED 素子の断面図である。

[図 4] 図 1 に示した画像表示素子の製造方法のフローチャートである。

[図 5] (a) ~ (c) は、図 4 に示した製造方法の各ステップにおける画像表示素子の断面図である。

[図 6] (a) ~ (e) は、本発明の第 1 の実施形態に係るマイクロ LED 素子の第 1 の変形例を製造する製造方法の各ステップにおけるマイクロ LED 素子の断面図である。

[図 7] (a) ~ (e) は、本発明の第 1 の実施形態に係るマイクロ LED 素子の第 2 の変形例を製造する製造方法の各ステップにおけるマイクロ LED 素子の断面図である。

[図 8] (a) ~ (d) は、本発明の第 1 の実施形態に係るマイクロ LED 素子の第 3 の変形例を製造する製造方法の各ステップにおけるマイクロ LED 素子の断面図である。

【手続補正書】

【提出日】令和 2 年 1 月 27 日 (2020.1.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

光出射面の側から見て N 型層、発光層、及び P 型層がこの順番で積層された窒化物半導体層と、前記 P 型層側に形成された P 側電極層と、を備えたマイクロ LED 素子であって

、
前記 N 型層は、前記発光層に接する第 1 領域と、前記光出射面を含む第 2 領域とを含み

、
前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第 1 の角度であり、

前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度は、前記第 1 の角度より大きい所定の第 2 の角度であり、

前記第 1 界面は透明な埋込層によって取り囲まれており、前記第 2 界面は前記埋込層によって覆われておらず、前記埋込層の他の側面は、前記光出射面の側から見た場合の全周において前記第 2 界面と連続して繋がった平面をなすことを特徴とするマイクロ LED 素子。

【請求項 2】

光出射面の側から見て N 型層、発光層、及び P 型層がこの順番で積層された窒化物半導体層と、前記 P 型層側に形成された P 側電極層と、を備えたマイクロ LED 素子であって

、
前記 N 型層は、前記発光層に接する第 1 領域と、前記光出射面を含む第 2 領域とを含み

、
前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第 1 の角度であり、

前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度は、前記第 1 の角度より大きい所定の第 2 の角度であり、

前記 P 側電極層の側から平面視した場合に、当該 P 側電極層は、前記発光層の全体を覆う領域に形成されている、
ことを特徴とするマイクロ LED 素子。

【請求項 3】

前記 P 側電極層の前記 P 型層と逆側の表面は、平坦である、
ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 4】

前記第 1 領域の外側と、前記 P 側電極層との間には、前記第 1 界面を取り囲む埋込層が形成されており、

前記 P 側電極層と前記埋込層との界面は、前記発光層と平行である、
ことを特徴とする請求項 3 に記載のマイクロ LED 素子。

【請求項 5】

前記窒化物半導体層は、前記第 1 界面と前記第 2 界面とをつなぐ第 3 界面を更に有し、
N 側電極層は、前記第 3 界面において前記 N 型層の前記第 2 領域に接触する、
ことを特徴とする請求項 1 に記載のマイクロ LED 素子。

【請求項 6】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記第 1 の溝部に埋込層を堆積する第 2 の堆積工程と、

前記埋込層の表面を研磨する研磨工程と、

前記研磨工程において研磨された表面に P 側電極層を形成する P 側電極形成工程と、

前記埋込層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第 1 領域の側

方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成し、前記第 1 のエッチング工程よりも後に実施される、

ことを特徴とする製造方法。

【請求項 7】

成長基板上に N 型層、発光層、及び P 型層をこの順番で堆積することによって窒化物半導体層を得る第 1 の堆積工程と、

前記窒化物半導体層の一部をエッチングすることにより第 1 の溝部を形成し、前記 N 型層内に、その側方がエッチングされた第 1 領域と、当該第 1 領域以外の領域である第 2 領域とを設ける第 1 のエッチング工程と、

前記窒化物半導体層の上に保護層を堆積する第 2 の堆積工程と、

前記第 1 領域の一部が露出するように前記保護層にコンタクトホールを形成するコンタクトホール形成工程と、

前記成長基板とは反対側から平面視した場合に、前記発光層の全体を覆い、且つ、前記コンタクトホールを覆うように P 側電極層を形成する P 側電極形成工程と、

前記保護層と前記第 2 領域とをエッチングすることによって、前記成長基板の一部を露出させる第 2 の溝部を形成する第 2 のエッチング工程と、を含み、

前記第 1 のエッチング工程は、前記窒化物半導体層のうち少なくとも前記第 1 領域の側方を取り囲む第 1 界面と前記発光層とのなす角度が、当該発光層に沿う方向へ伝搬する光を光出射面へ向かう方向へ反射する、所定の第 1 の角度となるように、前記第 1 の溝部を形成し、

前記第 2 のエッチング工程は、前記窒化物半導体層のうち前記第 2 領域の側方を取り囲む第 2 界面と前記発光層とのなす角度が、前記第 1 の角度より大きい所定の第 2 の角度となるように、前記第 2 の溝部を形成し、前記第 1 のエッチング工程よりも後に実施される、

ことを特徴とする製造方法。

【請求項 8】

前記第 1 の角度は、45 度を中心とする所定の範囲に含まれる角度である、ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 9】

前記第 1 の角度は、35 度以上 55 度以下の範囲に含まれる角度である、ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 10】

前記第 1 領域の厚さは、前記 P 型層の厚さよりも厚い、ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 11】

前記第 1 界面は、前記第 1 領域の側方に加えて、前記発光層の側方及び前記 P 型層の側方を取り囲む、ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 12】

N 側電極層は、前記光出射面の上に積層されている、ことを特徴とする請求項 2 に記載のマイクロ LED 素子。

【請求項 13】

複数のマイクロ LED 素子と、

前記複数のマイクロ LED 素子の各々に駆動電流を供給する駆動回路が形成された駆動回路基板と、備え、

前記複数のマイクロLED素子は、前記駆動回路基板上に二次元アレイ状に積層されている画像表示素子であって、

前記マイクロLED素子は、光出射面の側から見てN型層、発光層、及びP型層がこの順番で積層された窒化物半導体層と、前記P型層側に形成されたP側電極層と、を備え、

前記N型層は、前記発光層に接する第1領域と、前記光出射面を含む第2領域とを含み、

前記窒化物半導体層のうち少なくとも前記第1領域の側方を取り囲む第1界面と前記発光層とのなす角度は、当該発光層に沿う方向へ伝搬する光を前記光出射面へ向かう方向へ反射する、所定の第1の角度であり、

前記窒化物半導体層のうち前記第2領域の側方を取り囲む第2界面と前記発光層とのなす角度は、前記第1の角度より大きい所定の第2の角度であり、

N側電極層は、前記光出射面の上に積層されている、ことを特徴とする画像表示素子。

【請求項14】

前記複数のマイクロLED素子の間は、反射性の高い材料か、又は、吸光性の高い材料によって、充填されている、ことを特徴とする請求項13に記載の画像表示素子。

【請求項15】

前記P側電極層の側から平面視した場合に、当該P側電極層は、前記発光層の全体を覆う領域に形成されている、ことを特徴とする請求項13に記載の画像表示素子。

【請求項16】

前記第1界面の全周は、可視光に対して透明であり、且つ、屈折率が前記窒化物半導体層の屈折率より小さい保護膜に覆われている、ことを特徴とする請求項13に記載の画像表示素子。

【請求項17】

前記保護膜の外側は全周にわたって、前記P側電極層によって覆われていることを特徴とする請求項16に記載の画像表示素子。

【請求項18】

前記第1界面の全周は、可視光に対して透明であり、且つ、屈折率が前記窒化物半導体層の屈折率よりも小さな保護膜にて覆われており、更にその外側は全周にわたって、前記P側電極層によって覆われていることを特徴とする請求項2に記載のマイクロLED素子。

。

【請求項19】

前記第1の角度は、35度以上55度以下の範囲に含まれる角度である、ことを特徴とする請求項1に記載のマイクロLED素子。

【請求項20】

前記第1領域の厚さは、前記P型層の厚さよりも厚い、ことを特徴とする請求項1に記載のマイクロLED素子。

【請求項21】

前記第1界面は、前記第1領域の側方に加えて、前記発光層の側方及び前記P型層の側方を取り囲む、

ことを特徴とする請求項1に記載のマイクロLED素子。

【請求項22】

N側電極層は、前記光出射面の上に積層されている、ことを特徴とする請求項1に記載のマイクロLED素子。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/008583

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L33/10(2010.01) i, H01L33/48(2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L33/00-33/64, G09F9/30-9/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2018
 Registered utility model specifications of Japan 1996-2018
 Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2016-004892 A (SONY CORP.) 12 January 2016, paragraphs [0029]-[0064], [0071]-[0095], [0103]-[0105], fig. 1-5, 8-13, 16 & US 2017/0133554 A1, paragraphs [0049]-[0088], [0097]-[0125], [0134]-[0136], fig. 1-5, 8-13, 16 & WO 2015/194095 A1 & CN 106471630 A	1-5, 7-9, 11-13 6, 10
X A	WO 2017/094461 A1 (SHARP CORP.) 08 June 2017, paragraphs [0029]-[0046], [0057]-[0067], fig. 1-3, 7 (Family: none)	1-5, 7-8, 10-11, 13 6, 9, 12

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17.05.2018Date of mailing of the international search report
29.05.2018

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/008583

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-032809 A (SONY CORP.) 16 February 2015, paragraphs [0023]-[0067], [0083]-[0160], fig. 1-3, 9-22 & US 2015/0041836 A1, paragraphs [0084]-[0134], [0143]-[0229], fig. 1-3, 9-22 & CN 104347768 A	1-13
A	US 2011/0309378 A1 (NANO AND ADVANCED MATERIALS INSTITUTE LIMITED) 22 December 2011, entire text, all drawings & WO 2011/071559 A1	1-13

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 0 8 5 8 3	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L33/10(2010.01)i, H01L33/48(2010.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L33/00-33/64, G09F9/30-9/46			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2018年 日本国実用新案登録公報 1996-2018年 日本国登録実用新案公報 1994-2018年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X A	JP 2016-004892 A (ソニー株式会社) 2016.01.12, 段落[0029]-[0064], [0071]-[0095], [0103]-[0105], 図 1-5, 8-13, 16 & US 2017/0133554 A1, 段落 [0049]-[0088], [0097]-[0125], [0134]-[0136], 図 1-5, 8-13, 16 & WO 2015/194095 A1 & CN 106471630 A	1-5, 7-9, 11-13 6, 10	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 17.05.2018		国際調査報告の発送日 29.05.2018	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 大西 孝宣 電話番号 03-3581-1101 内線 3255	

国際調査報告		国際出願番号 PCT/J P 2 0 1 8 / 0 0 8 5 8 3
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2017/094461 A1 (シャープ株式会社) 2017.06.08, 段落[0029]-[0046], [0057]-[0067], 図 1-3, 7	1-5, 7-8, 10-1
A	(ファミリーなし)	1, 13 6, 9, 12
A	JP 2015-032809 A (ソニー株式会社) 2015.02.16, 段落[0023]-[0067], [0083]-[0160], 図 1-3, 9-22 & US 2015/0041836 A1, 段落[0084]-[0134], [0143]-[0229], 図 1-3, 9-22 & CN 104347768 A	1-13
A	US 2011/0309378 A1 (NANO AND ADVANCED MATERIALS INSTITUTE LIMITED) 2011.12.22, 全文, 全図 & WO 2011/071559 A1	1-13

フロントページの続き

(81)指定国・地域 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	微led装置,图像显示装置及其制造方法		
公开(公告)号	JPWO2019038961A1	公开(公告)日	2020-07-27
申请号	JP2019537560	申请日	2018-03-06
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	井口 勝次		
发明人	井口 勝次		
IPC分类号	H01L33/20 H01L33/32 G09F9/33		
FI分类号	H01L33/20 H01L33/32 G09F9/33		
F-TERM分类号	5C094/AA05 5C094/AA10 5C094/AA44 5C094/BA03 5C094/BA24 5C094/CA19 5C094/FA03 5C094/FB02 5C094/FB14 5C094/GB10 5C094/JA09 5F241/AA03 5F241/AA47 5F241/CA04 5F241/CA05 5F241/CA40 5F241/CA65 5F241/CA74 5F241/CA88 5F241/CB15 5F241/CB36 5F241/FF06		
代理人(译)	井上 知哉		
优先权	2017162485 2017-08-25 JP		

摘要(译)

微型LED器件(100 i,j)设置有包括N型层(10)以及由第一界面(界面17)和发光层(11)形成的角度的氮化物半导体层(13)。θ1是规定的第一角度(例如45度),是第二界面(界面19)与发光层(11)之间的角度(θ2)。大于第一角度(例如θ1= 45度)。

